

PCT/JP2004/011950

日本国特許庁  
JAPAN PATENT OFFICE

13.08.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月21日  
Date of Application:

出願番号 特願2003-297626  
Application Number:  
[ST. 10/C]: [JP2003-297626]

出願人 ソニー株式会社  
Applicant(s):

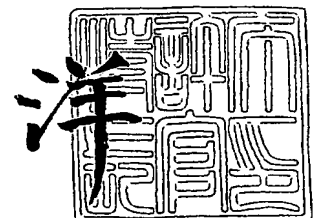


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 9月17日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



Best Available Copy

【書類名】 特許願  
【整理番号】 0390495402  
【提出日】 平成15年 8月21日  
【あて先】 特許庁長官殿  
【国際特許分類】 H02M 7/00  
【発明者】  
    【住所又は居所】 東京都品川区東五反田2丁目20番4号 ソニー・ヒューマンキ  
                        ャピタル株式会社内  
    【氏名】 安村 昌之  
【特許出願人】  
    【識別番号】 000002185  
    【氏名又は名称】 ソニー株式会社  
【代理人】  
    【識別番号】 100086841  
    【弁理士】  
    【氏名又は名称】 脇 篤夫  
【代理人】  
    【識別番号】 100114122  
    【弁理士】  
    【氏名又は名称】 鈴木 伸夫  
【手数料の表示】  
    【予納台帳番号】 014650  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9710074  
    【包括委任状番号】 0007553

【書類名】 特許請求の範囲

【請求項 1】

入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、

上記スイッチング素子をスイッチング駆動する駆動手段と、

上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、

上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるものとされ、

上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されると共に、

上記同期整流回路は、

上記絶縁コンバータトランスの二次巻線をセンタータップすると共に、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第 1 の電界効果トランジスタと、

上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第 2 の電界効果トランジスタと、

上記第 1 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 1 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 1 の駆動回路と、

上記第 2 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 2 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 2 の駆動回路と、

さらに、上記二次巻線のセンタータップしていない側の一方の端部と上記第 1 の電界効果トランジスタとの間、及び上記二次巻線のセンタータップしていない側の他方の端部と第 2 の電界効果トランジスタとの間に、それぞれ直列に挿入された所要のインダクタンスによる第 1 のインダクタ素子と、

上記二次巻線のセンタータップと上記平滑コンデンサの正極端子との間に直列に挿入された第 2 のインダクタ素子を備える、

ことを特徴とするスイッチング電源回路。

【請求項 2】

上記同期整流回路において、上記第 1 のインダクタ素子を省略したことを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 3】

入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、

上記スイッチング素子をスイッチング駆動する駆動手段と、

上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と、二次側に巻装される二次巻線部と、この二次巻線部の一方の端部

を巻き上げて形成される第1の駆動巻線部と、上記二次巻線部の他方の端部を巻き上げて形成される第2の駆動巻線部とが巻装される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、

上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線部に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるものとされ、

上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されると共に、

上記同期整流回路は、

上記絶縁コンバータトランスの二次巻線部をセンタータップしたタップ出力を平滑コンデンサの正極端子に接続するとともに、

上記二次巻線部のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、

上記二次巻線部のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタと、

上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応して、上記絶縁コンバータトランスの二次側における上記第1の駆動巻線部に生じる電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、

上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応して、上記第2の駆動巻線部に生じる電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路と、

さらに、上記二次巻線部のセンタータップしていない側の一方の端部と上記第1の電界効果トランジスタとの間、及び上記二次巻線部のセンタータップしていない側の他方の端部と第2の電界効果トランジスタとの間に、それぞれ直列に挿入された所要のインダクタンスによる第1のインダクタ素子を備える、

ことを特徴とするスイッチング電源回路。

#### 【請求項4】

上記同期整流回路は、上記二次巻線部のセンタータップと上記平滑コンデンサの正極端子との間に、所要のインダクタンスによる第2のインダクタ素子を直列に挿入する、

ことを特徴とする請求項3に記載のスイッチング電源回路。

#### 【請求項5】

上記同期整流回路は、上記二次巻線部のセンタータップと上記平滑コンデンサの正極端子との間に、所要のインダクタンスによる第2のインダクタ素子を直列に挿入すると共に、上記第1のインダクタ素子が省略されている、

ことを特徴とする請求項3に記載のスイッチング電源回路。

#### 【請求項6】

上記絶縁コンバータトランスの磁束密度を一定以下とするために、絶縁コンバータトランスに形成するギャップ長を所定以上とすることで、一次側と二次側の結合係数を所定以下に設定している、

ことを特徴とする請求項1に記載のスイッチング電源回路。

**【請求項 7】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記二次巻線または上記二次巻線部における 1 ターンあたりの誘起電圧レベルが所要以下となるように、上記一次巻線と、上記二次巻線または上記二次巻線部のターン数を設定している、  
ことを特徴とする請求項 1 に記載のスイッチング電源回路。

**【請求項 8】**

上記二次側直流出力電圧のレベルに応じて、上記スイッチング手段のスイッチング周波数を可変制御することで、上記二次側直流出力電圧についての定電圧制御を行うようにされた定電圧制御手段をさらに備える、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

**【請求項 9】**

上記第 1 のインダクタ素子は、上記第 1 及び第 2 の電界効果トランジスタのドレイン電極のリード線を挿通する筒形状の磁性体により形成される、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

**【請求項 10】**

上記第 1 のインダクタ素子は、プリント配線基板における配線パターンを螺旋状とすることにより形成される、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

**【請求項 11】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、絶縁コンバータトランスに形成するギャップ長を所定以上とすることで、一次側と二次側の結合係数を所定以下に設定している、

ことを特徴とする請求項 3 に記載のスイッチング電源回路。

**【請求項 12】**

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記二次巻線または上記二次巻線部における 1 ターンあたりの誘起電圧レベルが所要以下となるように、上記一次巻線と、上記二次巻線または上記二次巻線部のターン数を設定している、

ことを特徴とする請求項 3 に記載のスイッチング電源回路。

**【請求項 13】**

上記二次側直流出力電圧のレベルに応じて、上記スイッチング手段のスイッチング周波数を可変制御することで、上記二次側直流出力電圧についての定電圧制御を行うようにされた定電圧制御手段をさらに備える、

ことを特徴とする請求項 3 に記載のスイッチング電源回路。

**【請求項 14】**

上記第 1 のインダクタ素子は、上記第 1 及び第 2 の電界効果トランジスタのドレイン電極のリード線を挿通する筒形状の磁性体により形成される、

ことを特徴とする請求項 3 に記載のスイッチング電源回路。

**【請求項 15】**

上記第 1 のインダクタ素子は、プリント配線基板における配線パターンを螺旋状とすることにより形成される、

ことを特徴とする請求項 3 に記載のスイッチング電源回路。

【書類名】明細書

【発明の名称】スイッチング電源回路

【技術分野】

【0001】

本発明は、各種電子機器の電源として備えられるスイッチング電源回路に関する。

【背景技術】

【0002】

スイッチング電源回路として、例えばフライバックコンバータやフォワードコンバータなどの形式のスイッチングコンバータを採用したものが広く知られている。これらのスイッチングコンバータはスイッチング動作波形が矩形波状であることから、スイッチングノイズの抑制には限界がある。また、その動作特性上、電力変換効率の向上にも限界があることがわかっている。

そこで、共振形コンバータによるスイッチング電源回路が各種提案され、実用化されている。共振形コンバータは容易に高電力変換効率を得られると共に、スイッチング動作波形が正弦波状となることで低ノイズが実現される。また、比較的少数の部品点数により構成することができるというメリットも有している。

【0003】

図14の回路図は、従来としての、共振形コンバータを備えるスイッチング電源回路の一例を示している。この図に示す電源回路は、他励式による電流共振形コンバータに対して部分電圧共振回路が組み合わされている。

【0004】

この図に示す電源回路においては、まず、商用交流電源ACに対して、ブリッジ整流回路Di及び1本の平滑コンデンサCiから成る全波整流平滑回路が備えられる。そして、これらブリッジ整流回路Di及び平滑コンデンサCiの全波整流動作によって、平滑コンデンサCiの両端には整流平滑電圧Ei（直流入力電圧）が得られることになる。この整流平滑電圧Eiは、交流入力電圧VACの等倍に対応したレベルとなる。

【0005】

上記直流入力電圧を入力してスイッチングする電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子Q1、Q2をハーフブリッジ結合により接続している。スイッチング素子Q1、Q2の各ドレインソース間に対しては、図示する方向により、それぞれボディダイオードによるダンパダイオードDD1、DD2が並列に接続される。

【0006】

また、スイッチング素子Q2のドレインソース間に対しては、部分共振コンデンサCpが並列に接続される。この部分共振コンデンサCpのキャパシタンスと一次巻線N1のリーケージインダクタンスL1によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

【0007】

この電源回路においては、スイッチング素子Q1、Q2をスイッチング駆動するために、例えば汎用のICによる発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路回路を有している。そして、発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子Q1、Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1、Q2は、所要のスイッチング周波数により交互にオン/オフするようにしてスイッチング動作を行う。

【0008】

絶縁コンバータトランスPITはスイッチング素子Q1、Q2のスイッチング出力を二次側に伝送する。この絶縁トランスPITの一次巻線N1の一端は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝

達されるようになっている。

また、一次巻線N1の他端は、一次側アースに接続される。

ここで、上記直列共振コンデンサC1のキャパシタンスと、一次巻線N1を含む絶縁コンバータトランスPITのリーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

#### 【0009】

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路(L1-C1)による電流共振形としての動作と、前述した部分電圧共振回路(Cp//L1)とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた形式を採っていることになる。本明細書では、このようなスイッチングコンバータについて、複合共振形コンバータということにする。

#### 【0010】

ここでの図示による説明は省略するが、絶縁コンバータトランスPITの構造としては、例えばフェライト材によるE型コアを組み合わせたEE型コアを備える。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線N1と、次に説明する二次巻線(N2A, N2B)を、EE型コアの中央磁脚に対して、巻装している。

#### 【0011】

絶縁コンバータトランスPITの二次巻線としては、センタータップが施されたことで2つに分割された二次巻線N2A, N2Bが巻装されている。これらの二次巻線N2A, N2Bには、一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。

#### 【0012】

この場合、上記二次巻線N2A, N2Bのセンタータップは二次側アースに対して接続される。そして、この二次巻線N2A, N2Bに対して、図示するようにして整流ダイオードD01, D02、及び平滑コンデンサC0から成る全波整流回路を接続する。これにより、平滑コンデンサC0の両端電圧として二次側直流出力電圧E0が得られる。この二次側直流出力電圧E0は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

#### 【0013】

制御回路1は、二次側直流出力電圧E0のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子Q1, Q2を駆動する。このようにしてスイッチング素子Q1, Q2のスイッチング周波数が可変されることで、二次側直流出力電圧のレベルが安定化されることになる。

#### 【0014】

この図に示す回路構成による電源回路として、低電圧大電流としての負荷条件に対応させた場合の動作波形を、図15に示す。図15に示す動作波形は、交流入力電圧VAC=100V、負荷電力Po=100Wの条件で測定を行って得られたものである。また、ここでの低電圧大電流の状態としては、二次側直流電圧Eo=5Vで、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流Io=25Aとなる状態である。

#### 【0015】

また、図15に示す動作波形による実験結果を得るのにあたっては、次のような条件と、電源回路における部品素子等の選定を行っている。

先ず、二次側巻線の1T(ターン)あたりの誘起電圧レベルが、5V/Tとなるようにして、二次巻線N2A, N2B及び一次巻線N1のターン数を設定することとして、具体的には、二次巻線N2A=N2B=1T、一次巻線N1=30Tとしている。

そして、絶縁コンバータトランスPITのEE型コアの中央磁脚に対しては1.0mm程度のギャップを形成するようにしている。これによって、一次巻線N1と二次巻線N2A, N2Bとで、0.85程度の結合係数を得るようにしている。

また、一次側直列共振コンデンサ  $C1 = 0.068 \mu F$ 、部分電圧共振コンデンサ  $Cp = 330 pF$  を選定し、整流ダイオード  $Do1$ 、 $Do2$  には、 $50 A / 40 V$  のショットキーダイオードを選定している。

#### 【0016】

図15に示す波形図において、スイッチング素子  $Q2$  の両端電圧  $V1$  は、スイッチング素子  $Q2$  のオン/オフ状態に対応している。つまり、スイッチング素子  $Q2$  がオンとなる期間  $T2$  では0レベルで、オフとなる期間  $T1$  では所定レベルでクランプされた矩形波となる。そして、スイッチング素子  $Q2$  // ダンパーダイオード  $DD2$  に流れるスイッチング電流  $IDS2$  としては、期間  $T2$  に示されるように、ターンオン時には、ダンパーダイオード  $DD2$  を流れることで負極性となり、これが反転して正極性によりスイッチング素子  $Q2$  のドレイン→ソースを流れ、期間  $T1$  でオフとなって0レベルとなる波形が得られる。

また、スイッチング素子  $Q1$  は、上記スイッチング素子  $Q2$  に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子  $Q1$  // ダンパーダイオード  $DD1$  に流れるスイッチング電流  $IDS1$  は、スイッチング電流  $IDS2$  に対して  $180^\circ$  位相がシフトした波形となっている。

#### 【0017】

そして、スイッチング素子  $Q1$ 、 $Q2$  のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 ( $C1-L1$ ) に流れる一次側直列共振電流  $I_o$  は、スイッチング電流  $IDS1$  とスイッチング電流  $IDS2$  との合成波形に対応する、一次側直列共振回路 ( $C1-L1$ ) の共振電流としての正弦波成分と、一次巻線  $N1$  の励磁インダクタンスにより発生する鋸歯状波成分とが合成された波形となる。

#### 【0018】

そして、このときの測定条件である、負荷電力  $P_o = 100 W$  は、図14に示す電源回路が対応する負荷条件としては、最大に近い重負荷の条件となるのであるが、このようにして対応負荷電力範囲において重負荷の傾向となる条件では、二次側の整流電流は不連続モードとなる。

つまり、二次巻線  $N2A$  に発生する二次巻線電圧  $V2$  は、図15に示すようにして、一次側直列共振電流  $I_o$  が正弦波状で流れる期間のみ、所定の絶対値レベルでクランプされる波形が生じ、その間の一次側直列共振電流  $I_o$  として励磁インダクタンスによる鋸歯状波成分が流れる期間は0レベルとなる。二次巻線  $N2B$  には、二次巻線電圧  $V2$  を反転させた波形が発生する。

このために、整流ダイオード  $Do1$  を流れる整流電流  $I1$  と、整流ダイオード  $Do2$  を流れる整流電流  $I2$  は、それぞれ、一次側直列共振電流  $I_o$  が正弦波状で流れる期間  $Don1$ 、 $Don2$  においてのみ流れ、これ以外の期間においては共に流れない。つまり、二次側の整流電流は不連続で平滑コンデンサに流入している。

#### 【0019】

ショットキーダイオードである整流ダイオード  $Do1$ 、 $Do2$  の順方向電圧降下は  $0.6 V$  であり、上記したような二次側の動作では、図示もしているように、整流電流  $I1$ 、 $I2$  は  $35 A_p$  という相応に高いレベルとなるので、これらの整流ダイオード素子による導通損が顕著となって電力損失が大きくなる。実際の測定結果として、直流入力電圧 (整流平滑電圧  $E_i$ ) =  $100 V$  のときのDC→DC電力変換効率は  $82\%$  程度にとどまる。

#### 【0020】

そこで、二次側における整流電流の導通損を低減する技術として、低オン抵抗のMOS-FETにより整流を行うようにした、同期整流回路が知られている。このような同期整流回路として、巻線電圧検出方式による構成を例を図16に示す。

なお、図16においては、絶縁コンバータトランス  $PIT$  の二次側の構成のみを示している。一次側の構成は、図14と同様であるものとする。また、定電圧制御方式としても、二次側直流出力電圧  $E_o$  のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御するスイッチング周波数制御方式を採用する。

また、この図16に示す二次側の構成を採用する電源回路としても、図14の場合と同様の



低電圧大電流 ( $V_{AC}=100\text{ V}$ 、負荷電力  $P_o=100\text{ W}$ 、 $E_o=5\text{ V}$ 、 $I_o=25\text{ A}$ ) の条件に対応するものとされる。

#### 【0021】

この場合にも、二次巻線としては、同じ巻数の二次巻線  $N2A$ 、 $N2B$  の各一端はセンタータップにより接続されるが、このセンタータップ出力は、平滑コンデンサ  $C_o$  の正極端子に接続される。二次巻線  $N2A$  の他端は、 $N$ チャネルの  $MOS-FET Q3$  のドレイン→ソースを介して、二次側アース (平滑コンデンサ  $C_o$  の負極端子側) に接続される。同様に、二次巻線  $N2B$  の他端も、 $N$ チャネルの  $MOS-FET Q4$  のドレイン→ソースを介して、二次側アース (平滑コンデンサ  $C_o$  の負極端子側) に接続される。つまり、この場合には、二次巻線  $N2A$ 、 $N2B$  の各整流電流経路において、 $MOS-FET Q3$ 、 $Q4$  を負極側に直列に挿入した構造となっている。なお、 $MOS-FET Q3$ 、 $Q4$  のドレイン→ソースに対しては、それぞれ、ボディダイオード  $DD3$ 、 $DD4$  が接続される。

#### 【0022】

そして、 $MOS-FET Q3$  を駆動する駆動回路は、二次巻線  $N2B$  と  $MOS-FET Q4$  のドレインとの接続点と  $MOS-FET Q3$  のゲートの間に、ゲート抵抗  $R_{g1}$  を接続すると共に、 $MOS-FET Q3$  のゲートと二次側アースとの間に抵抗  $R_{11}$  を接続して形成される。

同様に、 $MOS-FET Q4$  を駆動する駆動回路は、二次巻線  $N2A$  と  $MOS-FET Q3$  のドレインとの接続点と  $MOS-FET Q4$  のゲートの間に、ゲート抵抗  $R_{g2}$  を接続すると共に、 $MOS-FET Q4$  のゲートと二次側アースとの間に抵抗  $R_{12}$  を接続して形成される。

#### 【0023】

$MOS-FET$  は、ゲートにオン電圧を印加すると、ドレイン→ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとするれば、平滑コンデンサ  $C_o$  の正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサ  $C_o$  から絶縁コンバータトランス  $PIT$  側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流による  $MOS-FET$  の発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサ  $C_o$  の正極端子に充電する方向のみに電流が流れるように、 $MOS-FET Q3$ 、 $Q4$  をスイッチング駆動するための回路である。

#### 【0024】

図 17 の波形図は、上記図 16 に示す二次側の構成を採る電源回路 (一次側は図 14 と同様) として、負荷電力  $P_o=100\text{ W}$  時の動作を示している。前述もしたように、この場合における負荷電力  $P_o=100\text{ W}$  は、ほぼ最大負荷の条件となる。

この図において、スイッチング素子  $Q2$  の両端電圧  $V1$  と、これに応じた二次巻線  $N2A-N2B$  の両端に得られる二次巻線電圧  $V2$  は、図 15 と同様のタイミングとなっているものである。なお、図 17 に示す二次巻線電圧  $V2$  は、二次巻線  $N2A$  とゲート抵抗  $R_{g2}$  との接続点側からみた場合の極性となっており、二次巻線  $N2B$  とゲート抵抗  $R_{g1}$  との接続点側からみた場合には逆極性となる。

$MOS-FET Q4$  の駆動回路は、この図に示す極性の二次巻線電圧  $V2$  が負極性の所定レベルでクランプされる期間に至ると、 $MOS-FET Q4$  のゲートに対して、ゲート抵抗  $R_{g2}$  と抵抗  $R_{12}$  とにより設定されるレベルのオン電圧を印加するように動作することになる。

同様にして、 $MOS-FET Q3$  の駆動回路 (ゲート抵抗  $R_{g1}$ 、抵抗  $R_{11}$ ) は、この図とは反転した極性の二次巻線電圧 ( $V2$ ) が負極性の所定レベルでクランプされる期間に至ると、 $MOS-FET Q3$  のゲートに対してオン電圧を印加するように動作することになる。

#### 【0025】

これにより、MOS-FET Q3, Q4には、それぞれ、図示するようにして、期間DON1, DON2において、正極性の整流電流  $I_1$ ,  $I_2$  が流れる。図示する二次巻線電圧  $V_2$  が正／負でクランプされる期間に流れる整流電流  $I_1$ ,  $I_2$  は、図14の回路の場合（図15の波形図の整流電流  $I_1$ ,  $I_2$ ）と同様に、35Apである。しかしながら、MOS-FET Q3, Q4は低オン抵抗であり、ショットキーダイオードによる整流ダイオード  $Do_1$ ,  $Do_2$  と比較すれば、整流電流の導通損は著しく低いものとする事ができる。また、駆動回路が抵抗素子のみから成ることからも理解されるように、巻線電圧検出方式は、駆動回路系が簡単な構成であることもメリットとなっている。

#### 【0026】

しかしながら、この図17に対応する場合のような重負荷（負荷電力  $P_o = 100W$ ）とされる条件では、この電源回路も二次側整流電流は不連続モードとなる。これは、図17においても期間DON1, DON2が不連続であることにより示されている。

この不連続モードでは、整流電流  $I_1$ ,  $I_2$  として、平滑コンデンサ  $C_o$  への充電電流が0レベルになったとしても、絶縁コンバータトランスPITの一次巻線N1には同じ方向に電流が流れている。これは、先の図15の波形図において、期間DON1, DON2以外の期間において、一次側直列共振電流  $I_o$  として、一次巻線N1の励磁インダクタンス成分がその直前タイミングと同じ極性で流れていることを指している。このために、実際としては、二次巻線N2A, N2Bに誘起される電圧の極性が反転しないために、その間、MOS-FET Q3, Q4は完全にオフにならずにオン状態を維持する。これにより、図示するようにして、期間DON1, DON2以外では、整流電流  $I_1$ ,  $I_2$  として逆方向の電流が流れてしまう。この期間DON1, DON2以外における逆方向の整流電流  $I_1$ ,  $I_2$  は、無効電力を生じさせるが、このときの整流電流  $I_1$ ,  $I_2$  のレベルは、8Apと比較的高いために、その無効電力量も相応に大きなものとなる。

このように、同期整流回路として巻線電圧検出方式を採用する場合、整流電流の導通損は低減されるものの、上記のようにして無効電力が発生するために、全体として電力変換効率の有効な向上は図ることが難しいというのが現状である。

#### 【0027】

図18の波形図は、図16に示した二次側の構成を採用する電源回路についての軽負荷とされる条件での動作を示している。

図16に示す電源回路の実際としても、先に図14に示した電源回路の構成として説明したようにスイッチング周波数制御による定電圧制御を行うが、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

そして、このような軽負荷の状態では、図18に示すスイッチング素子Q2の両端電圧  $V_1$  に対して、二次側巻線電圧  $V_2$  はほぼ同じタイミングで反転するようになり、これに応じて、二次側の整流電流  $I_1$ ,  $I_2$  としては、期間DON1, DON2との間に休止期間が無く平滑コンデンサ  $C_o$  に連続して充電されるようにして流れる。つまり、連続モードとなる。このときには、上記図20の重負荷時の動作として示したような逆方向の整流電流  $I_1$ ,  $I_2$  が流れる期間は存在しなくなって、これに応じた無効電力も生じていない。

このように、二次側整流回路系を巻線電圧検出方式による同期整流回路に置き換えた構成の電源回路も、重負荷時における電力変換効率の低下が依然として問題となる。

#### 【0028】

そこで、上記図17に示されるような、逆方向の整流電流による無効電力の発生の問題を解消する技術としては、整流電流検出方式による同期整流回路が知られている。この整流電流検出方式は、平滑コンデンサ  $C_o$  に充電される整流電流が0レベルになる前にMOS-FETをオフさせる技術である。

この整流電流検出方式による同期整流回路の構成例を、図19に示す。なお、この図においては、説明を簡単なものとするために、半波整流による構成を示している。

#### 【0029】

整流電流検出方式としては、二次巻線N2に流れる電流を検出するためにカレントトラ

ンスTRを設ける。カレントトランスの一次巻線Naは、二次巻線N2の端部と、MOS-FETQ4のドレインと接続される。MOS-FETQ4のソースは、平滑コンデンサCoの負極端子に接続している。

カレントトランスの二次巻線Nbに対しては、抵抗Raが並列に接続されるとともに、相互に順電圧方向が逆となるようにして、ダイオードDa、Dbが並列に接続されて並列接続回路を形成する。また、この並列接続回路に対して、コンパレータ20が接続される。コンパレータ20の反転入力には、基準電圧Vrefが入力される。なお、基準電圧Vrefとコンパレータ20の反転入力との接続点には、上記並列接続回路においてダイオードDaのアノードとダイオードDbのカソードが接続されている側の端部と接続される。また、コンパレータ20の非反転入力には、上記並列接続回路においてダイオードDaのカソードとダイオードDbのアノードが接続されている側の端部が接続される。

この場合、コンパレータ20の出力は、バッファ21により増幅されてMOS-FETQ4のゲートに印加されるようになっている。

#### 【0030】

上記図19に示す構成による回路の動作を、図20に示す。

二次巻線N2に誘起される電圧が、平滑コンデンサCoの両端電圧(Eo)よりも大きくなると、まず、MOS-FETQ4のボディダイオードのアノード→カソードの方向により、平滑コンデンサCoへ充電するようにして整流電流Idが流れ始める。この整流電流Idは、カレントトランスの一次巻線Naに流れるので、カレントトランスの二次巻線Nbには、一次巻線Naに流れる整流電流Idに応じた電圧Vnbが誘起される。コンパレータ20では、基準電圧Vrefと電圧Vnbとを比較して、電圧Vnbが基準電圧Vrefを越えるとHレベルを出力する。このHレベルの出力がバッファ21からオン電圧としてMOS-FETQ4のゲートに対して印加され、MOS-FETQ4をオンさせる。これにより、整流電流IdがMOS-FETQ4のドレイン→ソース方向により流れることになる。図20では、正極性により流れる整流電流Idとして示されている。

#### 【0031】

そして時間経過に応じて整流電流Idのレベルが低下し、これに応じて、電圧Vnbが基準電圧Vrefよりも低くなると、コンパレータ20は出力を反転させる。この反転出力がバッファ21を介して出力されることで、MOS-FETQ4のゲート容量を放電させて、MOS-FETQ4をオフとする。なお、この時点で、残りの整流電流IdはボディダイオードDD4を経由して短時間のうちに流れる。

#### 【0032】

このような動作とされることで、MOS-FETQ4は、整流電流Idが0レベルとなる前のタイミングでオフされることになる。これにより、図17に示したように、整流電流が不連続となる期間において、MOS-FETに逆方向電流が流れることが無くなって無効電力が生じなくなり、その分の電力変換効率は高くなる。

例えば、図14に示した電源回路の二次側の構成を、上記図19に示した構成に基づく、全波整流の整流電流検出方式による同期整流回路とした場合のDC→DC電力変換効率としては、先の図15、図17などと同様の条件の下で測定したところ、90%程度にまで向上するという測定結果が得られた。

#### 【0033】

【特許文献1】特開2003-111401号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0034】

しかしながら、上記した整流電流検出方式の同期整流回路では、図19からも分かるように、1つのMOS-FETに対応して、少なくとも1組のカレントトランスと、このカレントトランスの出力によりMOS-FETを駆動するための比較的複雑な駆動回路系が必要となる。これにより、回路構成が複雑になり、これが製造能率の低下、コストアップ、回路基板サイズの拡大などにつながるという不都合が生じることになる。

特に、図19に示した一次側のスイッチングコンバータの構成を基本として整流電流検出方式の同期整流回路を二次側に備えることとした場合、二次側には全波整流回路を備える必要がある。従って、上記したカレントトランス及び駆動回路系は、MOS-FET Q3, Q4ごとに対応して2組必要とされることになり、上記した問題がさらに大きくなる。

このようにして、巻線電圧検出方式と整流電流検出方式とでは、巻線電圧検出方式のほうが、無効電力により電力変換効率の面で不利ではあるが、回路構成が簡略であるのに対して、整流電流検出方式のほうは、無効電力が生じないので電力変換効率の面では有利であるが、回路構成が複雑になる、というトレードオフの関係にある。

従って、同期整流回路を備える電源回路としては、できるだけ簡略な回路構成でありながら、かつ、無効電力による損失増加が解消されるような構成を採ることが求められている、ということになる。

#### 【課題を解決するための手段】

##### 【0035】

そこで、本発明では以上のような問題点に鑑み、先ず第1の構成として、スイッチング電源回路を以下のように構成することとした。

すなわち、先ず、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、上記スイッチング素子をスイッチング駆動する駆動手段と、上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスとを備える。

そして、少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路を備え、さらに上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるようにする。

そして、このような構成において、先ずは、上記絶縁コンバータトランスの磁束密度を、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定する。

さらに、上記同期整流回路としては、上記絶縁コンバータトランスの二次巻線をセンタータップすると共に、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタとを備える。

そして、上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えるようにする。

その上で、さらに上記二次巻線のセンタータップしていない側の一方の端部と上記第1の電界効果トランジスタとの間、及び上記二次巻線のセンタータップしていない側の他方の端部と第2の電界効果トランジスタとの間に、それぞれ直列に挿入された所要のインダ

クタンスによる第1のインダクタ素子と、上記二次巻線のセンタータップと上記平滑コンデンサの正極端子との間に直列に挿入された第2のインダクタ素子を備えるようにした。

#### 【0036】

上記第1の構成によるスイッチング電源回路において、一次側スイッチングコンバータとしては、共振形コンバータに対して部分電圧共振回路が組み合わされた複合共振形コンバータとしての構成を採り、二次側においては、巻線電圧検出方式による全波整流の同期整流回路を備える。

そして、絶縁コンバータトランスの磁束密度が所定以下となるようにしていることで、負荷変動にかかわらず、二次側整流電流が常に連続モードとなるようにしている。二次側整流電流が連続モードとなれば、巻線電圧検出方式による同期整流回路において問題となる、二次側整流電流の不連続期間において整流電流に逆方向電流が生じることに依る無効電力を低減することができる。

その上で、上記のようにして二次巻線と各電界効果トランジスタとの間には、所要のインダクタンスによる第1のインダクタ素子が直列に挿入される。このインダクタ素子によっては、そこに電流が流れる際の逆起電力により整流電流に生じる逆方向電流が抑圧される。

また、さらに本発明では、上記二次巻線のセンタータップと上記平滑コンデンサの正極端子との間に対して、第2のインダクタ素子も挿入するものとしている。この第2のインダクタ素子によっても、その逆起電力により整流電流に生じる逆方向電流が抑圧される。

つまり、これら第1、第2のインダクタ素子を挿入することによって、整流電流に逆方向電流が生じることによる無効電力についての、さらなる低減を図ることができるものである。

さらにこの際、上記第2のインダクタ素子によっては、この第2のインダクタ素子の有するインピーダンス成分により、上記平滑コンデンサの両端に得られる二次側直流電圧に生じるとされる高周波ノイズが抑圧されるものとなる。

#### 【0037】

また、本発明では、スイッチング電源回路の第2の構成として、以下のようにもすることとした。

つまり、まず、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、上記スイッチング素子をスイッチング駆動する駆動手段とを備える。

そして、上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と、二次側に捲装される二次巻線部と、この二次巻線部の一方の端部を巻き上げて形成される第1の駆動巻線部と、上記二次巻線部の他方の端部を巻き上げて形成される第2の駆動巻線部とが捲装される絶縁コンバータトランスを備えるようにする。

また、少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路とを備えるようにし、

さらに、上記絶縁コンバータトランスの二次巻線部に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路を備えるようにする。

その上で、上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されるようにする。

そして、上記同期整流回路としては、

先ず、上記絶縁コンバータトランスの二次巻線部をセンタータップしたタップ出力を平滑コンデンサの正極端子に接続するとともに、上記二次巻線部のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、上記二次巻線部のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタとを備える。

さらに、上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応して、上記絶縁コンバータトランスの二次側における上記第1の駆動巻線部に生じる電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応して、上記第2の駆動巻線部に生じる電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えるようにする。

その上で、さらに上記二次巻線部のセンタータップしていない側の一方の端部と上記第1の電界効果トランジスタとの間、及び上記二次巻線部のセンタータップしていない側の他方の端部と第2の電界効果トランジスタとの間に、それぞれ直列に挿入された所要のインダクタンスによる第1のインダクタ素子を備えるようにした。

#### 【0038】

上記第2の構成によっても、一次側スイッチングコンバータとしては、共振形コンバータに対して部分電圧共振回路が組み合わされた複合共振形コンバータとしての構成を採り、二次側においては、巻線電圧検出方式による全波整流の同期整流回路を備える。

そして、この場合も絶縁コンバータトランスの磁束密度が所定以下となるようにすることで、負荷変動にかかわらず、二次側整流電流が常に連続モードとなるようにしている。

その上で、この第2の構成では、絶縁コンバータトランスの二次巻線部を巻き上げて形成した、各駆動巻線部に得られる電圧が検出されて、上記第1、第2の電界効果トランジスタが駆動される。

このように、二次巻線部を巻き上げて駆動巻線部を追加することによつては、二次側に捲装される巻線（二次巻線部＋各駆動巻線部）の端部と二次側アースとの間に得られる電位として、その分高いレベルが得られるようになり、これによって各電界効果トランジスタに印加される電圧レベルを上昇させることができる。そして、このように各電界効果トランジスタに印加される電圧レベルを上昇させることができれば、各電界効果トランジスタに流れる整流電流のレベルを低減することができる。つまり、これによって各電界効果トランジスタにおけるオン抵抗を低減することが可能となるものである。

#### 【発明の効果】

#### 【0039】

上記本発明によれば、巻線電圧検出方式の同期整流回路を備えながらも、二次側整流電流の不連続期間に対応した無効電力は生じないこととなり、例えば、整流電流検出方式による同期整流回路を備えた場合と同等程度にまで電力変換効率を向上させることができる。そして、なおかつ、同期整流回路の回路構成自体は巻線電圧検出方式であることで、整流電流検出方式よりも簡易な構成を採ることができる。

つまり、本発明によつては、同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立が図られるものであり、特に、低電圧大電流とされるような条件に電源回路を使用する場合に有利となるものである。

#### 【0040】

また、上記もしたように、二次側の整流電流経路に挿入される第1、第2のインダクタ素子によつては、整流電流に生じる逆方向電流を抑制することができ、これによって無効電力のさらなる低減を図ることができる。

さらに、上述もしたように二次巻線または二次巻線部のセンタータップと平滑コンデン

サとの間に直列に挿入された第2のインダクタ素子によっては、二次側直流電圧に生じる  
とされる高周波ノイズを低減することが可能となる。

【0041】

また、上記のようにして二次巻線部を巻き上げて駆動巻線部を追加するようにすれば、  
各電界効果トランジスタのオン抵抗を低減することができ、これによって無効電力のさら  
なる低減を図ることができる。そして、このような第2の構成としては、より低電圧大電  
流負荷の条件に好適なものとなる。

【発明を実施するための最良の形態】

【0042】

図1は、本発明における、第1の実施の形態としてのスイッチング電源回路の構成例を  
示している。この図に示す電源回路は、一次側の基本構成として、他励式によるハーフブ  
リッジ結合方式による電流共振形コンバータに対して部分電圧共振回路が組み合わされた  
構成を採る。

【0043】

この図に示す電源回路においては、先ず、商用交流電源ACに対し、フィルタコンデン  
サCL、CL、及びコモンモードチョークコイルCMCによるノイズフィルタが形成されて  
いる。

そして、このようなノイズフィルタの後段に対しては、図のように整流ダイオードDA  
、DBから成る整流回路部Diと、2本の平滑コンデンサCi1、Ci2とから成る倍電圧  
整流回路が備えられる。この倍電圧整流回路によっては、平滑コンデンサCi1-Ci2の  
両端電圧として、交流入力電圧VACの2倍に対応したレベル整流平滑電圧Ei（直流入力  
電圧）が生成される。

【0044】

この図に示す電源回路のように、負荷が比較的大きな電流を必要とする条件では、一次  
側スイッチングコンバータ側の回路に流れる電流レベルも増加する。これにより、スイッ  
チング損失などが増加して電力変換効率が低下する。そこで、このようにして、直流入力  
電圧を生成する整流回路系について倍電圧整流回路とすることで、例えば通常の全波整流  
により交流入力電圧VACの等倍に対応するレベルの整流平滑電圧Eiを供給する場合と比  
較して、一次側スイッチングコンバータの回路内に流れる電流レベルを約1/2とすること  
ができる。これにより、一次側スイッチングコンバータによるスイッチング損失が低減  
されるようにしているものである。

【0045】

上記直流入力電圧を入力してスイッチング（断続）する電流共振形コンバータとしては  
、図示するようにして、MOS-FETによる2本のスイッチング素子Q1、Q2をハーフ  
ブリッジ結合により接続したスイッチング回路を備える。スイッチング素子Q1、Q2の各  
ドレイン-ソース間に対しては、ダンパーダイオードDD1、DD2が並列に接続される。ダ  
ンパーダイオードDD1のアノード、カソードは、それぞれスイッチング素子Q1のソース  
、ドレインと接続される。同様にして、ダンパーダイオードDD2のアノード、カソードは  
、それぞれスイッチング素子Q2のソース、ドレインと接続される。ダンパーダイオード  
DD1、DD2は、それぞれスイッチング素子Q1、Q2が備えるボディダイオードとされる。

【0046】

また、スイッチング素子Q2のドレイン-ソース間に対しては、部分共振コンデンサC  
pが並列に接続される。この部分共振コンデンサCpのキャパシタンスと一次巻線N1の  
リーケージインダクタンスL1によっては並列共振回路（部分電圧共振回路）を形成する  
。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振  
動作が得られるようになっている。

【0047】

この電源回路においては、スイッチング素子Q1、Q2をスイッチング駆動するために、  
発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路  
を有しており、例えば汎用のICを用いることができる。そして、この発振・ドライブ回

路2内の発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子Q1、Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1、Q2は、所要のスイッチング周波数により交互にオン／オフするようにしてスイッチング動作を行う。

#### 【0048】

絶縁コンバータトランスPITは、スイッチング素子Q1、Q2のスイッチング出力を二次側に伝送するために設けられる。

この絶縁トランスPITの一次巻線N1の一方の端部は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線N1の他方の端部は、一次側アースに接続される。

#### 【0049】

ここで、絶縁コンバータトランスPITは、後述する構造により、絶縁コンバータトランスPITの一次巻線N1に所要のリーケージインダクタンスL1を生じさせる。そして、直列共振コンデンサC1のキャパシタンスと、上記リーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

#### 【0050】

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（L1-C1）による電流共振形としての動作と、前述した部分電圧共振回路（Cp//L1）とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた、複合共振形コンバータとしての構成を採っている。

#### 【0051】

絶縁コンバータトランスPITの二次巻線には一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。

本実施の形態の場合、絶縁コンバータトランスPITの二次巻線としては、図のように、それぞれ上記一次巻線N1と巻方向が同極性とされた二次巻線N2A、二次巻線N2Bが備えられる。

これら二次巻線N2A、N2Bは、それぞれセンタータップが施されたことで、それぞれ図のように2つの巻線部に分割されている。ここでは、二次巻線N2Aの巻き始め端部を含む巻線部を巻線部N2A1とし、巻き終わり端部を含む巻線部は巻線部N2A2としている。また、二次巻線N2Bの巻き始め端部を含む巻線部は巻線部N2B1、巻き終わり端部を含む巻線部は巻線部N2B2とする。

#### 【0052】

この場合の二次巻線N2A、N2Bにおいて、上記巻線部N2A1、N2A2、N2B1、N2B2は、それぞれ同じ所定のターン数を有する。

そして、この二次巻線N2A、N2Bに対しては、整流用素子としてNチャネルのMOS-FET Q3、Q4を備える全波整流の同期整流回路が備えられる。これらMOS-FET Q3、Q4は、例えば低耐圧のトレンチ構造のものを選定することで、低オン抵抗を得るようにされる。

#### 【0053】

上記二次巻線N2A、N2Bの各センタータップ出力は、図示するようにインダクタLoを介して平滑コンデンサCoの正極端子に接続される。

そして、二次巻線N2A、N2Bの各巻き始め端部は、インダクタLd1→MOS-FET Q3のドレイン→ソースを介して、二次側アース（平滑コンデンサCoの負極端子側）に接続される。

また、二次巻線N2A、N2Bの各巻き終わり端部は、インダクタLd2→MOS-FET



Q4のドレイン→ソースを介して、二次側アース（平滑コンデンサC<sub>o</sub>の負極端子側）に接続される。

なお、MOS-FET Q3, Q4のドレイン→ソースに対しては、それぞれ、ボディダイオードDD3, DD4が接続される。

#### 【0054】

このような接続形態によれば、二次巻線N2A、N2Bの巻線部N2A1、巻線部N2B1を含む整流電流経路においては、MOS-FET Q3が直列に挿入される。また、二次巻線N2A、N2Bの巻線部N2A2、巻線部N2B2を含む整流電流経路においては、MOS-FET Q4が直列に挿入された構造となっている。

また、この際、上記巻線部N2A1、巻線部N2B1を含む整流電流経路においては、二次巻線N2A、N2Bの各巻き始め端部とMOS-FET Q3のドレインとの間に、インダクタL<sub>d1</sub>が直列に挿入されるものとなる。同様に、上記巻線部N2A2、巻線部N2B2を含む整流電流経路においては、二次巻線N2A、N2Bの各巻き終わり端部とMOS-FET Q4のドレインとの間にインダクタL<sub>d2</sub>が直列に挿入される。

さらにこの場合、整流電流を平滑コンデンサC<sub>o</sub>に充電する経路としての、上記巻線部N2A1、巻線部N2B1を含む整流電流経路と、上記巻線部N2A2、巻線部N2B2を含む整流電流経路とに共通となる経路に対しては、インダクタL<sub>o</sub>が挿入されている。

#### 【0055】

また、この図に示される同期整流回路において、MOS-FET Q3を駆動する駆動回路は、二次巻線N2Aの巻き終わり端部とMOS-FET Q3のゲートとの間に、ゲート抵抗R<sub>g1</sub>を接続して形成される。

同様に、MOS-FET Q4を駆動する駆動回路は、二次巻線N2Bの巻き始め端部とMOS-FET Q4のゲートとの間に、ゲート抵抗R<sub>g2</sub>を接続して形成される。

つまりこの場合、上記MOS-FET Q3は、それぞれ巻線部N2A2、巻線部N2B2に励起される交番電圧が上記ゲート抵抗R<sub>g1</sub>により検出されて導通するようにされ、また、MOS-FET Q4は、巻線部N2A1、巻線部N2B1に励起される交番電圧が上記ゲート抵抗R<sub>g2</sub>により検出されて導通するようにされているものである。

#### 【0056】

MOS-FETは、ゲートにオン電圧を印加すると、ドレイン→ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとすれば、平滑コンデンサC<sub>o</sub>の正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサC<sub>o</sub>から絶縁コンバータトランスPIT側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流によるMOS-FETの発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサC<sub>o</sub>の正極端子に充電する方向（つまり、この場合ではソース→ドレイン方向）の電流のみが流れるように、MOS-FET Q3, Q4をスイッチング駆動するための回路である。つまり、この場合における同期整流回路の回路構成としては、巻線電圧検出方式により、整流電流に同期させてMOS-FET Q3, Q4をオン/オフ駆動する構成を採っているものである。

#### 【0057】

なお、この場合、MOS-FET Q3、MOS-FET Q4の駆動回路系を形成するとされるゲート抵抗R<sub>g1</sub>、R<sub>g2</sub>に対しては、それぞれ並列にショットキーダイオードD<sub>g1</sub>、ショットキーダイオードD<sub>g2</sub>を図示する方向により接続するようにしている。これらショットキーダイオードD<sub>g1</sub>、D<sub>g2</sub>によっては、後述するようにMOS-FET Q3、Q4のゲート入力容量の蓄積電荷を、これらのターンオフ時に放電するための経路が形成される。

#### 【0058】

また、この場合、MOS-FET Q3のゲート→ソース間に対しては、図のようにツェナーダイオードD<sub>z1</sub>、ツェナーダイオードD<sub>z2</sub>を挿入し、同様にMOS-FET Q4のゲ

ートソース間にはツェナーダイオードDz3、ツェナーダイオードDz4を挿入しているが、これらのツェナーダイオードによってはMOS-FET Q3、Q4についての過電圧保護回路が形成される。

このようなツェナーダイオードDzとしては、ツェナー電位（ブレイクダウン電位）としてMOS-FET Q3、Q4の耐圧レベルに応じた電位のもが選定される。これにより、MOS-FET Q3、Q4のゲートソース間電位が耐圧レベル以上に上昇するのに応じ、これらツェナーダイオードDzが導通してMOS-FET Q3、Q4を保護することができる。

例えば、この場合のツェナーダイオードDzとしては、ツェナー電位 $=\pm 20\text{ V}$ のもが選定される。また、例えばこれらツェナーダイオードDz1、Dz2、及びツェナーダイオードDz3、Dz4は、それぞれMOS-FET Q3、MOS-FET Q4に対して内蔵されるようにして備えられる。

#### 【0059】

また、上述もしたように、この図1に示す電源回路では、二次巻線N2Aの巻き始め端部-MOS-FET Q3のドレイン間に対し、インダクタLd1を挿入している。また、同様に二次巻線N2Bの巻き始め端部-MOS-FET Q4のドレイン間に対しては、インダクタLd2を挿入している。

本実施の形態において、これらインダクタLd1、Ld2としては、例えば $0.3\text{ }\mu\text{ H}$ 程度の比較的低いインダクタンスを設定するものとしている。

#### 【0060】

ここで、このように低いインダクタンスを得るにあたっては、上記インダクタLd1、Ld2として、次の図3に示すようなビーズコアを用いることが考えられる。

すなわち、この図3に示されるようにして、例えばアモルファス磁性体若しくはフェライト材等の磁性体が筒形状に形成されたビーズコアによって、リード線を挿通する。そして、このようにリード線を挿通したビーズコアを、1つのインダクタ素子としてプリント基板上に実装するものである。

#### 【0061】

或いは、本実施の形態において、このようなインダクタLd1、Ld2として低インダクタンスを得るにあたっては、これらインダクタLd1、Ld2を例えば次の図4（a）、図4（b）に示すようにして形成するものとしている。

まず、図4（a）は、インダクタLd1、Ld2として、上記したようなビーズコアを用いる他の例を示している。

この場合、上記したようなアモルファス磁性体若しくはフェライト材等の磁性体によるビーズコアを、図のようにプリント基板に半田付けされるMOS-FET Q3、Q4のドレイン電極端子としてのリード線を挿通するようにして設ける。そして、このようなビーズコアのインダクタンスによってインダクタLd1、Ld2を形成する。

このようにドレイン電極のリード線にビーズコアを直接設けるようにすれば、図3に示したようなビーズコアとしての部品素子を基板上に実装する必要がなく、基板の省スペース化を図ることができる。

#### 【0062】

また、図4（b）は、MOS-FET Q3、Q4を実装するプリント基板の配線パターンを螺旋状に形成する例である。

この場合は、プリント基板における、MOS-FET Q3、Q4のドレイン電極に配線されるべき銅箔パターンを、図示するように螺旋状に形成し、この螺旋形状によりインダクタLd1、Ld2としての所要のインダクタンスを得るようにするものである。

これによれば、プリント配線基板の製造と同時にインダクタLdを形成できるというメリットがある。

#### 【0063】

また、図1の回路においては、上述もしたように各整流電流経路に対して共通となるようにしてインダクタLoが挿入されるが、このようなインダクタLoとしても、同様に0.

3  $\mu$  H程度の低インダクタンスを設定するものとしている。

従って、このようなインダクタ  $L_o$  についても、先の図4 (a)、図4 (b) に示したようにしてこのような低インダクタンスを得るように構成されてもよい。

#### 【0064】

説明を図1に戻す。

上述した回路構成による同期整流回路によっては、平滑コンデンサ  $C_o$  に対して全波整流により整流して得られる整流電流を充電する動作が得られる。

すなわち、二次側に励起される交番電圧の一方の半周期には、巻線部  $N_{2A1}$ 、 $N_{2B1}$  を流れる電流がそれぞれ平滑コンデンサ  $C_o$  に対して充電される。また、交番電圧の他方の半周期には、巻線部  $N_{2A2}$ 、 $N_{2B2}$  に流れる電流がそれぞれ平滑コンデンサ  $C_o$  に対して充電される。これによって、上記交番電圧が正/負の期間で平滑コンデンサ  $C_o$  に充電する全波整流動作が得られるものである。

そして、このような平滑コンデンサ  $C_o$  の両端電圧として、図のような二次側直流出力電圧  $E_o$  が得られる。この二次側直流出力電圧  $E_o$  は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

#### 【0065】

制御回路1は、二次側直流出力電圧  $E_o$  のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子  $Q_1$ 、 $Q_2$  を駆動する。スイッチング素子  $Q_1$ 、 $Q_2$  のスイッチング周波数が可変されることで、絶縁コンバータトランス  $PIT$  の一次巻線  $N_1$  から二次巻線  $N_{2A}$ 、 $N_{2B}$  側に伝送される電力が変化するが、これにより二次側直流出力電圧  $E_o$  のレベルを安定化させるように動作する。

例えば重負荷の傾向となって二次側直流出力電圧  $E_o$  が低下するのに応じては、上記スイッチング周波数を高くするように制御することで、二次側直流出力電圧  $E_o$  を上昇させる。これに対して、軽負荷の傾向となって二次側直流出力電圧  $E_o$  が上昇するのに応じては、上記スイッチング周波数を低くするように制御することで、二次側直流出力電圧  $E_o$  を低下させる。

#### 【0066】

本実施の形態としては、この図に示す電源回路の回路構成の下で、低電圧、大電流とされる負荷条件に対応させることとしている。ここでの低電圧大電流の状態としては、二次側直流出力電圧  $E_o = 5$  Vで、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流  $I_o = 20$  Aとなる状態であるとする。

#### 【0067】

このような条件を前提として、図1に示す電源回路としては、次のようにして各部所要の部品を構成し、また、選定している。

まず、絶縁コンバータトランス  $PIT$  については、図2に示す構造を採ることとしている。

この図に示すように、絶縁コンバータトランス  $PIT$  は、フェライト材によるE型コア  $CR_1$ 、 $CR_2$  を互いの磁脚が対向するように組み合わせたEE型コアを備える。

そして、一次側と二次側の巻装部について相互に独立するようにして分割した形状により、例えば樹脂などによって形成される、ボビンBが備えられる。このボビンBの一方の巻装部に対して一次巻線  $N_1$  を巻装する。また、他方の巻装部に対して二次巻線 ( $N_{2A}$ 、 $N_{2B}$ ) を巻装する。このようにして一次側巻線及び二次側巻線が巻装されたボビンBを上記EE型コア ( $CR_1$ 、 $CR_2$ ) に取り付けることで、一次側巻線及び二次側巻線とがそれぞれ異なる巻装領域により、EE型コアの中央磁脚に巻装される状態となる。このようにして絶縁コンバータトランス  $PIT$  全体としての構造が得られる。この場合のEE型コアのサイズは例えばEE R-35としている。

#### 【0068】

EE型コアの中央磁脚に対しては、図のようにして、例えばギャップ長1.5mm程度のギャップGを形成するようにしている。これによって、結合係数  $k$  としては、例えば  $k = 0$

8以下による疎結合の状態を得るようにしている。つまり、従来例として図14に示した電源回路の絶縁コンバータトランスPITよりも、さらに疎結合の状態としているものである。なお、ギャップGは、E型コアCR1, CR2の中央磁脚を、2本の外磁脚よりも短くすることで形成することが出来る。

#### 【0069】

そのうえで、二次側巻線の1T(ターン)あたりの誘起電圧レベルとしても、図14に示した電源回路よりも低くなるように、一次巻線N1と二次巻線N2A, N2Bの巻線数(ターン数)を設定する。例えば、一次巻線N1=80T、二次巻線N2A=N2B=6T(巻線部N2A1=N2A2=N2B1=N2B2=3T)とすることで、二次側巻線の1T(ターン)あたりの誘起電圧レベルを、2V/T以下としている。

#### 【0070】

このような絶縁コンバータトランスPIT及び一次巻線N1、二次巻線(N2A, N2B)の巻線数設定とすることで、絶縁コンバータトランスPITのコアにおける磁束密度が低下して、図14に示した電源回路よりも、絶縁コンバータトランスPITにおけるリーケージインダクタンスは増加する。

#### 【0071】

また、一次側直列共振コンデンサC1には、 $0.015\mu\text{F}$ を選定した。また、二次側の同期整流回路を形成するMOS-FETQ3, Q4については、30A/20Vを選定しており、そのオン抵抗は $2.5\text{m}\Omega$ である。

#### 【0072】

このような構成による図1に示す電源回路の動作波形を、図5及び図6に示す。図5は、交流入力電圧 $V_{AC}=100\text{V}$ 、負荷電力 $P_o=100\text{W}$ のときの動作を示し、図6は、交流入力電圧 $V_{AC}=100\text{V}$ 、負荷電力 $P_o=25\text{W}$ 時の動作を示している。図1に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o=100\text{W}$ は重負荷とされる条件であり、負荷電力 $P_o=25\text{W}$ は軽負荷の条件となる。

#### 【0073】

図5に示す波形図において、スイッチング素子Q2の両端電圧 $V_1$ は、スイッチング素子Q2のオン/オフ状態に対応している。つまり、スイッチング素子Q2がオンとなる期間T2では0レベルで、オフとなる期間T1では所定レベルでクランプされた矩形波となる。そして、スイッチング素子Q2//ダンパダイオードDD2に流れるスイッチング電流 $I_{DS2}$ としては、期間T2に示されるように、ターンオン時においては、ダンパダイオードDD2を流れることで負極性となり、これが反転して正極性によりスイッチング素子Q2のドレイン→ソースを流れ、期間T1でオフとなって0レベルとなる波形が得られる。

また、スイッチング素子Q1は、上記スイッチング素子Q2に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子Q1//ダンパダイオードDD1に流れるスイッチング電流としても、図示はしていないがスイッチング電流 $I_{DS2}$ に対して $180^\circ$ 位相がシフトした波形となる。また、スイッチング素子Q1の両端電圧としても、スイッチング素子Q2の両端電圧 $V_1$ に対して $180^\circ$ 位相がシフトした波形となる。

#### 【0074】

そして、スイッチング素子Q1, Q2のスイッチング出力点と一次側アース間に接続される一次側直列共振回路(C1-L1)に流れる一次側直列共振電流 $I_o$ は、スイッチング電流 $I_{DS1}$ とスイッチング電流 $I_{DS2}$ とが合成されたものとなる。これにより、図示するようにして、一次側直列共振電流 $I_o$ は正弦波状となる。この波形を、図14に示した従来の電源回路の一次側直列共振電流 $I_o$ の波形(図15参照)と比較すると、本実施の形態の一次側直列共振電流 $I_o$ としては、一次巻線N1の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバータトランスPITの結合係数をより疎結合な状態としたことで、一次巻線N1のリーケージインダクタンス $L_1$ が増加した分、相対的に一次巻線N1の励磁インダクタンスが小さくなったことに依る。

## 【0075】

そして、このような一次側直列共振電流  $I_o$  の波形が得られるのに応じて、二次巻線 N2A の巻線部 N2A1 に得られる電圧 V2 としては、一次側直列共振電流  $I_o$  の周期に応じた波形とされ、且つ二次側直流出力電圧  $E_o$  に対応する絶対値レベルでクランプされた波形となる。

なお、この電圧 V2 としては、巻線部 N2A1 に得られる電位として示したが、二次巻線 N2B における巻線部 N2B2 においても同等の波形により電位が生じていることになる。またこの場合、巻線部 N2A2、巻線部 N2B2 においても、この電圧 V2 と同等の電位が生じるものである。

ここで、図 15 に示す電圧 V2 と比較して分かるように、この図 5 に示す電圧 V2 は、一次側直列共振電流  $I_o$  が 0 レベルとなるタイミングで、同様に 0 レベルとなる波形が得られる。つまり、この場合の電圧 V2 としては、ゼロクロスタイミングが一次側直列共振電流  $I_o$  のゼロクロスタイミングと重なるようになっている（図中時点  $t_1$ 、 $t_2$ 、 $t_3$  参照）。

## 【0076】

そして、電圧検出方式による二次側の同期整流回路では、抵抗  $R_{g2}$  から成る駆動回路により上記電圧 V2（巻線部 N2A1、N2B1）を検出し、MOS-FET Q4 に対してオンレベルのゲート電圧を出力する。

この場合、電圧 V2 としては、図示するように時点  $t_1$  にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点  $t_2$  にて 0 レベルとなるような波形とされている。MOS-FET Q4 のゲートソース間に生じるゲートソース間電圧  $V_{GS4}$  は、この電圧 V2 が、Q4 のゲートソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間（図中期間  $t_1 \sim t_{d1}$ ）において、オン電圧を発生させる。つまり、この期間  $t_1 \sim t_{d1}$  が、MOS-FET Q4 のオン期間  $DON2$  となる。

そして、この期間  $DON2$  が終了する時点  $t_{d1}$  から時点  $t_2$  までは、MOS-FET Q4 のデットタイムであり、このデットタイムである期間  $t_{d1} \sim t_2$  では Q4 のボディダイオード DD4 を介して整流電流が流れる。このことは、図示するゲートソース間電圧  $V_{GS4}$  における期間  $t_{d1} \sim t_2$  の電位によっても示されている。

これによって、MOS-FET Q4 を介して流される整流電流  $I_4$  としては、図示するように時点  $t_1 \sim t_2$  の期間にわたって流れるようになる。つまり、この整流電流  $I_4$  としては、これら時点  $t_1$ 、 $t_2$  において、一次側直列共振電流  $I_o$  と 0 レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

## 【0077】

また、同様に抵抗  $R_{g1}$  から成る駆動回路では、上記電圧 V2 と同等とされる巻線部 N2A2、N2B2 に生じる電圧を検出し、MOS-FET Q3 に対してオンレベルのゲート電圧を出力するようにされる。

つまり、この場合、MOS-FET Q3 のゲートソース間に生じるゲートソース間電圧  $V_{GS3}$  は、巻線部 N2A2、N2B2 側に生じる電圧 V2 がゲートソース間電位としての所定のレベルに対応したレベル以上を保つ期間（図中期間  $t_2 \sim t_{d2}$ ）において、オン電圧を発生させ、これによってこの期間  $t_2 \sim t_{d2}$  が MOS-FET Q3 のオン期間  $DON1$  となる。

そして、同様にこの期間  $DON1$  が終了する時点  $t_{d2}$  から時点  $t_3$  までは、MOS-FET Q3 のデットタイムであり、この期間  $t_{d2} \sim t_3$  では Q3 のボディダイオード DD3 を介して整流電流が流れる。

これによって、MOS-FET Q3 を介して流れる整流電流  $I_3$  としても、図示するように一次側直列共振電流  $I_o$  のゼロクロスタイミングである時点  $t_2$  と時点  $t_3$  との間にわたって流れるようになり、一次側直列共振電流  $I_o$  と連続して流れるものとなる。

## 【0078】

平滑コンデンサへの充電電流  $I_c$  としては、これら整流電流  $I_3$ 、 $I_4$  が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線 N2A、N2B

に生じる電圧が正／負となる各期間で平滑コンデンサ  $C_o$  に対して充電する、全波整流動作が得られていることがわかる。

そして、前述したように、この場合の二次巻線に生じる電圧  $V_2$  は、一次側直列共振電流  $I_o$  が 0 レベルとなるのに応じ 0 レベルとなるから、電圧  $V_2$  は一次側直列共振電流と連続するものとなる。さらに、このように電圧  $V_2$  が連続することによって、上記説明のようにして整流電流  $I_3$ 、整流電流  $I_4$  も連続することになり、従って、平滑コンデンサ  $C_o$  に対する充電電流  $I_c$  も連続して流れることになる。

つまり、本実施の形態としては、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流  $I_3$ 、 $I_4$  としては  $28\text{ A p}$  となっており、例えば従来の図 15 に示した整流電流  $I_1$ 、 $I_2$  よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

#### 【0079】

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランス P I T の結合係数を 0.8 程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の 1 ターンあたりの誘起電圧レベルが  $2\text{ V/T}$  程度に低下するようにして一次巻線 N1 と二次巻線 N2 A (巻線部 N2 A1、N2 A2)、二次巻線 N2B (巻線部 N2 B1、N2 B2) の巻数 (ターン数) 設定を行い、これにより、絶縁コンバータトランス P I T のコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

#### 【0080】

また、この図 5 において、この場合の整流電流  $I_3$ 、 $I_4$  としては、図 15 に示した従来の整流電流  $I_1$ 、 $I_2$  と比較してわかるように、逆方向電流が流されていないことがわかる。

つまり、従来において、整流電流  $I_1$ 、 $I_2$  には  $8\text{ A p}$  による逆方向電流が流れ、これが電力損失を生じさせていたが、本実施の形態ではこのような整流電流に生じていた逆方向電流が発生しないものである。

本実施の形態において、整流電流  $I_3$ 、 $I_4$  にこのような逆方向電流が発生しないのは、先の図 1 に示したようにして、各整流電流経路にインダクタ  $L_{d1}$ 、 $L_{d2}$  を、また各整流電流経路に共通となる経路に対しインダクタ  $L_o$  を挿入するようにしたことによる。

このように整流電流経路に対して各インダクタを挿入することによって、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生することに伴って、MOSFET Q3、Q4 のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

先にも述べたように、本実施の形態ではこれらインダクタ  $L_{d1}$ 、 $L_{d2}$ 、及びインダクタ  $L_o$  として  $0.3\text{ }\mu\text{H}$  を設定し、これによって整流電流  $I_3$ 、 $I_4$  における逆方向電流の発生を防止することが可能とされる。

#### 【0081】

ここで、従来でも述べたように、同期整流回路は、低オン抵抗で低耐圧の MOS-FET を整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減することができる。

しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採用する場合、平滑コンデンサ  $C_o$  への充電電流が 0 レベルとなっても逆方向電流が流れ、これが無効電力を生じていた。

この無効電力を解消しようとするれば、整流電流検出方式の同期整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

#### 【0082】

これに対して本実施の形態では、重負荷時においても二次側整流電流を連続モードとし

ていることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力を低減できる。さらに、この場合は、上述のように二次側の整流電流経路に対してインダクタ  $L_{d1}$ 、 $L_{d2}$ 、 $L_o$  をそれぞれ挿入することにより、整流電流に逆方向電流が流れないようにして無効電力のさらなる低減を図っている。

このことから本実施の形態としては、同期整流回路として電圧検出方式による構成を採ることで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしてしながら、なおかつ、電流不連続期間の無効電力による電力変換効率の低下の問題を解消していることになるものである。

#### 【0083】

また、図5においては、二次側直流出力電圧  $E_o$  に生じるリップル成分  $\Delta E_o$  が示されている。

このリップル成分  $\Delta E_o$  としては、図示するように、この場合の二次側直流出力電圧  $E_o$  の出力レベルである 5 V を中心として、 $\Delta E_o = 0.1 \text{ V}_p$  の範囲で生じるという結果が得られている。

ここで、この図5に示される実験結果によれば、この場合の二次側直流出力電圧  $E_o$  には、MOS-FET Q3、Q4 がターンオフするタイミングに応じて高周波成分が重畳される。これは、同期整流回路として、MOS-FET Q3、Q4 をスイッチング駆動することに伴うスイッチングノイズによるものと考えられる。

#### 【0084】

本例の電源回路においては、このような二次側直流出力電圧  $E_o$  に生じる高周波成分が、平滑コンデンサ  $C_o$  に整流電流を充電する経路に備えられたインダクタ  $L_o$  によって抑制される。

例えば、図1の回路構成から、このようなインダクタ  $L_o$  を削除した構成の場合は、MOS-FET Q3、Q4 のターンオフ時に生じる上記のような高周波成分としては、 $E_o = 5 \text{ V}$  のレベルを中心として  $0.3 \text{ V}_p$  が発生していたものである。

これに対し、図1に示したようにして整流電流経路にインダクタ  $L_o$  を設けた本例によつては、図示するようにこの高周波成分のレベルを  $0.1 \text{ V}_p$  にまで低下させることができる。つまり、このようなインダクタ  $L_o$  の有するインピーダンス成分（交流抵抗成分）によって、上記のように二次側直流出力電圧  $E_o$  に重畳される高周波成分を抑制することができるものである。

#### 【0085】

なお、この図5において、ゲートソース間電圧  $V_{GS3}$ 、 $V_{GS4}$  としては、それぞれ MOS-FET Q3、Q4 をターンオフとするタイミングで、この場合は  $-3 \text{ V}$  による負の電位が生じているが、これは、先に説明したようにして MOS-FET Q3、Q4 の各ゲートと二次巻線との間に、それぞれ抵抗  $R_{g1}$ 、 $R_{g2}$  と並列にショットキーダイオード  $D_{g1}$ 、 $D_{g2}$  を挿入していることによる。

このようにショットキーダイオード  $D_{g1}$ 、 $D_{g2}$  を挿入することによつては、MOS-FET Q3、Q4 のターンオフ時に、これら MOS-FET Q3、Q4 のゲート入力容量 ( $C_{is}$ ) の蓄積電荷を、これらショットキーダイオード  $D_{g1}$ 、 $D_{g2}$  を介して引き抜くようにして流すことができる。

つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード  $D_g$  ( $D_{g1}$ 、 $D_{g2}$ ) → 二次巻線  $N_2$  → 平滑コンデンサ  $C_o$  の経路により放電されることになる。そして、このように入力容量の電荷が放電されることにより、MOS-FET Q3、Q4 におけるターンオフ時の電圧降下時間を減少させることができる。

このようにして、MOS-FET のターンオフ時の電圧降下時間を減少させることができれば、これら MOS-FET Q3、Q4 を確実にオフとさせて良好なスイッチング特性を得ることができる。

#### 【0086】

また、図6には、図1に示す回路における軽負荷時 ( $P_o = 25 \text{ W}$  時) の動作が示されている。

図1に示す電源回路では、これまでの説明から理解されるように、二次側直流出力電圧  $E_o$  の安定化のために、スイッチング周波数制御による定電圧制御を行う。この定電圧制御は、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

このような軽負荷の状態では、図示するスイッチング素子  $Q_2$  の両端電圧  $V_1$  に対して、二次側巻線電圧  $V_2$  はほぼ同じタイミングで得られるようになり、これに応じて、二次側の充電電流  $I_c$  (整流電流  $I_3$ 、 $I_4$ ) としても、図のように休止期間が無く平滑コンデンサ  $C_o$  に連続して充電されるようにして流れる。

このことから、図1に示した電源回路では、軽負荷時においても連続モードとなることが理解できる。

#### 【0087】

続いて、図7には、これまでに説明した構成による図1に示す電源回路と、従来例である図14の電源回路との比較として、負荷電力変動に対するAC→DC電力変換効率 ( $\eta_{AC \rightarrow DC}$ ) の特性を示す。ここでは、図1の電源回路の特性を実線で示し、図14の電源回路の特性を破線で示す。

#### 【0088】

この図7によると、AC→DC電力変換効率 ( $\eta_{AC \rightarrow DC}$ ) は、図1に示す回路の方が図14に示す電源回路に対して、負荷電力  $P_o = 0\text{ W} \sim 100\text{ W}$  の範囲にわたって高くなっていることが分かる。図14に示す回路では、負荷電力  $P_o = 100\text{ W}$  時には  $\eta_{AC \rightarrow DC} = 82\%$  程度であるのに対して、図1に示す電源回路では、負荷電力  $P_o = 100\text{ W}$  時には  $\eta_{AC \rightarrow DC} = 91.0\%$  と、約  $9.0\%$  向上する結果が得られている。また、これに応じた交流入力電力としては、負荷電力  $P_o = 100\text{ W}$  時に  $12.1\text{ W}$  低減する結果が得られた。

また、負荷電力  $P_o = 25\text{ W}$  時には、 $\eta_{AC \rightarrow DC}$  が約  $13\%$  向上し、このとき交流入力電力は  $4.7\text{ W}$  低減する結果が得られている。

#### 【0089】

また、図7では、一点鎖線により、各整流電流経路に対してインダクタ  $L_o$  ( $=0.3\text{ }\mu\text{ H}$ )、インダクタ  $L_d$  ( $L_{d1} = L_{d2} = 0.3\text{ }\mu\text{ H}$ ) を挿入しない場合のAC→DC電力変換効率を示している。この一点鎖線により示す特性と、実線により示す図1の回路の特性を比較してわかるように、この場合、インダクタ  $L_o$ 、 $L_d$  を挿入した図1の回路の場合の方が、負荷電力  $P_o = 0\text{ W} \sim 100\text{ W}$  の範囲にわたって  $\eta_{AC \rightarrow DC}$  が高くなっている。

このことから、絶縁コンバータトランス  $PIT$  の漏洩インダクタンスを増加させて、重負荷時の不連続モードを排除したのみの構成とするよりも、これらインダクタ  $L_o$ 、 $L_d$  を挿入した本例の方が無効電力のさらなる低減が図られていることがわかる。

#### 【0090】

このような図7に示される電力変換効率の特性は、図14に示す一次側の構成に対して、二次側に整流電流検出方式の同期整流回路を採用した場合 (図19参照) と同等となる。つまり、先にも述べたように、図19の整流電流検出方式を採用した場合のAC→DC電力変換効率は  $\eta_{AC \rightarrow DC} = 90\%$  程度であるのに対し、本例では  $\eta_{AC \rightarrow DC} = 91.0\%$  と、ほぼ同等のAC→DC電力変換効率を得られるものである。

しかしながら先に説明したように、図1に示す電源回路では、同期整流回路の構成としては巻線電圧検出方式を採用していることで、回路構成はより簡略なものとなることができるものである。

#### 【0091】

続いては、図8に本発明の第2の実施の形態としてのスイッチング電源回路の構成を示す。

なお、図8においては、既に図1にて説明した部分について同一の符号を付して説明を省略する。

第2の実施の形態のスイッチング電源回路は、先の図1に示した第1の実施の形態の電源回路の構成から、インダクタ  $L_{d1}$ 、 $L_{d2}$  を削除するようにしたものである。



そして、このように二次側整流電流経路において挿入されるインダクタとして、インダクタ  $L_o$  のみを設けるようにした上で、そのインダクタンスを、図1の場合よりも高い  $0.6 \mu H$  に設定するようにしたものである。

#### 【0092】

図9は、第2の実施の形態の電源回路における各部の動作波形を示している。

上記のようにインダクタ  $L_o$  として、図1の場合よりも高いインダクタンスを設定することにより、この場合の二次側直流出力電圧  $E_o$  には、MOS-FET Q3、Q4のターンオフ時に生じるとされていた高周波成分が除去されるものとなる。

つまり、この場合はインダクタ  $L_o$  のインダクタンスがより高く設定されたことで、図1の場合よりもこのインダクタ  $L_o$  による高周波抑制効果がより高くなるようにされているものである。

#### 【0093】

なお、この場合、MOS-FET Q3、Q4のターンオフ時にゲートソース間電圧  $V_{GS3}$ 、 $V_{GS4}$  のそれぞれに生じる負電圧は、図示するように  $-1V$  に低下する結果が得られた。

これは、上記のようにインダクタ  $L_o$  のインダクタンスを高く設定したことによって、このインダクタ  $L_o$  に生じる逆起電力が図1の場合よりも上昇し、これに伴い整流電流経路に流れる、上記負電圧に対応した整流電流のレベルが抑制されたことによるものと考えられる。

#### 【0094】

このようにして第2の実施の形態によっては、インダクタ  $L_o$  のインダクタンスを図1の場合よりも高く設定したことにより、二次側直流出力電圧  $E_o$  に生じるとされていた高周波成分を除去することができる。

また、この場合としても、このようなインダクタ  $L_o$  に生じる逆起電力によって、整流電流  $I_3$ 、 $I_4$  に生じるとされる逆方向電流が抑制される。そして、この場合は、上記もしたようにインダクタ  $L_o$  のインダクタンスとして  $0.6 \mu H$  を設定することで、整流電流  $I_3$ 、 $I_4$  に逆方向電流が生じないようにすることができるものである。

つまり、このような第2の実施の形態によれば、図1の回路の場合と同様に同期整流回路における無効電力の削減を図ることができる上に、二次側直流出力電圧  $E_o$  に生じるとされていた高周波成分を除去することができるものである。

また、さらにこの場合は、インダクタ  $L_{d1}$ 、 $L_{d2}$  を不要とすることができるので、図1の構成よりも部品点数の削減、及びプリント基板におけるこれらの実装面積の削減を図ることができる。

#### 【0095】

図10には、本発明の第3の実施の形態としてのスイッチング電源回路の構成例を示す。

なお、この図10においても、既に図1にて説明した部分については同一の符号を付して説明を省略する。

第3の実施の形態では、絶縁コンバータトランス P I T の二次側巻線として、先の図1の場合と同様、センタータップ出力が平滑コンデンサ  $C_o$  の正極端子と接続され、且つ巻き始め側の端部が、インダクタ  $L_{d1}$  → MOS-FET Q3 のドレイン → ソースを介して二次側アースに接地され、さらに巻き終わり側の端部が、インダクタ  $L_{d2}$  → MOS-FET Q4 のドレイン → ソースを介して二次側アースに接地されるように捲装している。そして、このように捲装される二次側巻線の、上記センタータップより巻き始め側端部側に形成される巻線部を巻線部 N 2 A とし、巻き終わり端部側に形成される巻線部を巻線部 N 2 B としている。

さらに、このような二次側巻線の双方の端部には、この二次側巻線を巻き上げるようにして、それぞれ巻線部 N 3 A と巻線部 N 3 B とを捲装する。つまり、この場合の絶縁コンバータトランス P I T の二次側巻線としては、これら巻線部 N 3 A、N 2 A、N 2 B、N 3 B が 1 巻線上に形成されるようになるものである。

ここでは、図示するように上記巻線部N3Aが、二次側巻線の巻き始め端部を含むものとし、上記巻線部N3Bは二次側巻線の巻き終わり端部を含むものとする。

#### 【0096】

その上で、第3の実施の形態では、このような二次側巻線の巻き始め端部に対して、ゲート抵抗 $R_{g2}$ //ショットキーダイオード $D_{g2}$ によるMOS-FET Q4についての駆動回路を接続するものとしている。同様に、二次側巻線の巻き終わり端部に対しては、ゲート抵抗 $R_{g1}$ //ショットキーダイオード $D_{g1}$ によるMOS-FET Q3についての駆動回路を接続している。

#### 【0097】

上記のような構成によれば、二次側巻線に励起される交番電圧の一方の半周期においては、巻線部N2A→平滑コンデンサ $C_o$ →MOS-FET Q3（ソース→ドレイン）→インダクタ $L_{d1}$ による整流電流経路が形成される。

そして、交番電圧の他方の半周期には、巻線部N2B→平滑コンデンサ $C_o$ →MOS-FET Q4（ソース→ドレイン）→インダクタ $L_{d2}$ による整流電流経路が形成される。

つまりこの場合、二次側巻線に形成される巻線部N3A、N3Bに対しては、整流電流が流されないものとされる。

そして、上記構成によると、この場合のMOS-FET Q3は、上記ゲート抵抗 $R_{g1}$ //ショットキーダイオード $D_{g1}$ による駆動回路によって、二次側巻線における巻線部N3Bに励起される交番電圧が検出されて駆動されるものとなる。

同様に、MOS-FET Q4は、ゲート抵抗 $R_{g2}$ //ショットキーダイオード $D_{g2}$ による駆動回路によって、巻線部N3Aに励起される交番電圧が検出されて駆動されるものとなる。

これらのことからわかるように、この場合の絶縁コンバータトランスPITの二次側巻線として捲装した上記巻線部N3A、巻線部N3Bとしては、各MOS-FETのゲート電圧の検出用に設けられているものである。

#### 【0098】

なお、この場合、絶縁コンバータトランスPITの二次側巻線において、上記のように整流電流経路を形成する巻線部N2A、N2Bの巻数としては、 $N_{2A}=N_{2B}=2T$ としている。そして、MOS-FETのゲート電圧検出用としての巻線部N3A、N3Bの巻数としては、 $N_{3A}=N_{3B}=1T$ としている。

また、確認のために述べておくと、このような第3の実施の形態としても、先の各実施の形態と同様、絶縁コンバータトランスPITの結合係数を所要以下とする等して、重負荷時の不連続モードを排除する構成が採られているものである。

#### 【0099】

第3の実施の形態においては、電源回路として上記図10に示した構成とすることによって、先の図1の回路とは異なり、二次側直流出力電圧 $E_o=5V$ 以下のさらなる低電圧、大電流の負荷条件に対応することを想定したものである。具体的には、例えば二次側直流出力電圧 $E_o=3.3V$ 、負荷電流 $=30A$ の条件への対応を想定したものである。

ここで、このようにさらなる低電圧、大電流の条件とされることによって、その分、二次側同期整流回路に流れる整流電流レベルも上昇することになる。そして、このように整流電流のレベルが上昇することに伴っては、MOS-FET Q3、Q4におけるオン抵抗も増加することとなって、これらMOS-FET Q3、Q4が導通する期間における電力損失が増加する傾向となる。

#### 【0100】

そこで、第3の実施の形態としては、先の図10にも示したように、絶縁コンバータトランスPITの二次側巻線として、巻線部N2に加えてさらに巻線部N3を巻き上げるようにしてその巻線数を増加させて、より高いレベルによる交番電圧を得るようにする。そして、これによって二次側に流れる整流電流レベルを低下させてMOS-FET Q3、Q4のオン抵抗を低減させようとするものである。

#### 【0101】

図11は、図10の構成による電源回路の各部の動作波形を示す波形図である。

まず、この図においても、一次側のスイッチング素子Q2の両端電圧V1、及びスイッチング素子Q2//ダンパダイオードDD2に流れるスイッチング電流IDS2が示されている。先の図5と比較してわかるように、この場合も一次側の構成としては図1の回路と同様の構成が採られることから、これら電圧V1、スイッチング電流IDS2としては、図5の場合と同様の波形により得られるものとなる。

#### 【0102】

そして、この図においては、先の図10に示した絶縁コンバートランスPITの二次側巻線における、巻線部N2Aと巻線部N2Bとを含む巻線部に生じる電圧V2と、巻線部N3A及び巻線部N3Bを含む二次側巻線全体の各端部と二次側アース間に生じる電圧V3が示されている。

この場合、図のように上記電圧V2としては、7Vのレベルが得られる。そして、二次側巻線全体に得られる電圧V3としては11Vのレベルが得られている。

#### 【0103】

ここで、絶縁コンバートランスPITの二次側巻線として、例えば上記巻線部N3A、N3Bを捲装しないとした場合は、MOS-FETQ3、Q4の各駆動回路は、上記のような電圧V2を検出してこれらQ3、Q4を駆動するようにされる。つまり、この場合のMOS-FETQ3、Q4は、電圧V2としての7V程度の電圧によりドライブされ、この結果として各ゲートソース間電圧(VGS3、VGS4)としてはこのような7Vに応じたレベルに止まる。

これに対し、二次側巻線として巻線部N3を巻き上げた本例の場合、MOS-FETQ3、Q4の各駆動回路は、電圧V3としての11Vの電位によりQ3、Q4を駆動する。これに応じては、各ゲートソース間電圧VGS3、VGS4としても、図示するように11Vのレベルが得られるようになる。

このようなことから、二次側巻線として巻線部N3を巻き上げた第3の実施の形態の場合は、各MOS-FETのゲートソース間に生じる電圧を上昇させて、各MOS-FETに流れる整流電流のレベルを低減できていることが理解できる。これは、図中における、MOS-FETQ3を介して流れる整流電流I3のレベルが、先の図5の場合の整流電流I3のレベル=28Apと比較して、42Apに上昇していることによっても示されている。

そして、このように各MOS-FETQ3、Q4に流れる整流電流のレベルが低下できることにより、上述したようにして各MOS-FETにおけるオン抵抗を低減し、これらの導通期間における電力損失を低減することができるものである。

#### 【0104】

なお、このような第3の実施の形態の電源回路において、上述したような二次側直流出力電圧 $E_o = 3.3V$ 、負荷電流=30Aの低電圧大電流の負荷条件の下では、 $\eta_{AC \rightarrow DC} = 89.0\%$ となる実験結果が得られた。

つまり、このような実験結果から、第3の実施の形態の構成によっては、図1の回路の場合よりもさらに低電圧、大電流の負荷条件とされた場合においても、図1の回路とほぼ同等の電力変換効率を得ることができるものである。

なお、この際、上記実験結果及び先の図11に示した実験結果を得るにあたっては、図10に示したインダクタLd1、Ld2として $0.4\mu H$ を設定した。

#### 【0105】

続いては、次の図12、図13に、第3の実施の形態の変形例の構成を示す。

なお、これら図12、図13においては、電源回路の二次側の構成についてのみ示し、一次側の構成としては先の図10と同様となることからここでの説明は省略する。

まず、図12の例では、先の図10の二次側の構成に追加し、絶縁コンバートランスPITの二次側巻線として、さらに整流電流経路を形成するための別の二次側巻線を追加するようにして捲装する。そして、これと共に、先の図1の回路の同様、整流電流経路に対してインダクタLdに加え、インダクタLoを挿入したものである。

この場合の絶縁コンバータトランス P I T の二次側に対しては、図のような巻線部 N 2 A1 と巻線部 N 2 B1 による二次側巻線を巻装する。そして、このように巻装される二次側巻線のセンタータップ出力を、インダクタ  $L_o$  を介して平滑コンデンサ  $C_o$  の正極端子に接続する。さらに、その巻き始め端部を、図示するようにインダクタ  $L_{d1} \rightarrow$  MOS-FET Q3 (ドレイン $\rightarrow$ ソース) を介して二次側アースに接地する。また、巻き終わり端部をインダクタ  $L_{d2} \rightarrow$  MOS-FET Q4 (ドレイン $\rightarrow$ ソース) を介して二次側アースに接地する。

なお、図示するように上記巻線部 N 2 A1 は、二次側巻線の上記センタータップよりも巻き始め端部側に形成され、上記巻線部 N 2 B1 は、上記センタータップより巻き終わり端部側に形成される。

さらにこの場合、図 10 の回路にも備えられた二次側巻線において、整流電流経路を形成する巻線部のうち、巻き始め端部側を図のように巻線部 N 2 A2 とし、巻き終わり端部側を巻線部 N 2 B2 とする。また、そのセンタータップ出力は、この場合はインダクタ  $L_o$  を介して平滑コンデンサ  $C_o$  に接続する。

#### 【0106】

このような図 12 の構成によれば、先の図 10 の場合と同様、MOS-FET Q3、Q4 は、それぞれ巻線部 N 3 B、N 3 A に得られる交番電圧がゲート抵抗  $R_{g1}$ 、 $R_{g2}$  により検出されて駆動されることになる。

また、整流電流は、一方の半周期において、これら巻線部 N 3 が巻装された方の二次側巻線における巻線部 N 2 A2  $\rightarrow$  インダクタ  $L_o \rightarrow$  平滑コンデンサ  $C_o \rightarrow$  MOS-FET Q3 (ソース $\rightarrow$ ドレイン)  $\rightarrow$  インダクタ  $L_{d1}$  の経路で流れる。そして、他方の半周期では、巻線部 N 2 B2  $\rightarrow$  インダクタ  $L_o \rightarrow$  平滑コンデンサ  $C_o \rightarrow$  MOS-FET Q4 (ソース $\rightarrow$ ドレイン)  $\rightarrow$  インダクタ  $L_{d2}$  の経路で流れる。

そしてこの場合は、上記のように追加された二次側巻線により、整流電流は一方の半周期において、この追加された二次側巻線における巻線部 N 2 A1  $\rightarrow$  インダクタ  $L_o \rightarrow$  平滑コンデンサ  $C_o \rightarrow$  MOS-FET Q3 (ソース $\rightarrow$ ドレイン)  $\rightarrow$  インダクタ  $L_{d1}$  の経路によっても流れる。また、他方の半周期では巻線部 N 2 B1  $\rightarrow$  インダクタ  $L_o \rightarrow$  平滑コンデンサ  $C_o \rightarrow$  MOS-FET Q4 (ソース $\rightarrow$ ドレイン)  $\rightarrow$  インダクタ  $L_{d2}$  の経路によっても流れるようになる。

#### 【0107】

このような図 12 の構成によつては、インダクタ  $L_{d1} =$  インダクタ  $L_{d2} =$  インダクタ  $L_o = 0.2 \mu H$  と設定した場合に、先の図 10 の回路と同等の効果が得られるものとなる。

また、この場合は整流電流経路に対してインダクタ  $L_o$  が挿入されることから、図 10 に示した回路の場合よりも、二次側直流出力電圧  $E_o$  に各 MOS-FET のターンオフ時に発生するとされる高周波成分を抑制することができる。

#### 【0108】

また、図 13 の例は、先の図 10 の二次側の構成から、インダクタ  $L_{d1}$ 、インダクタ  $L_{d2}$  を削除すると共に、先の図 8 の回路の場合のように、二次側巻線のセンタータップ出力を、インダクタ  $L_o$  を介して平滑コンデンサ  $C_o$  の正極端子に接続するようにしたものである。

この図 13 の構成では、インダクタ  $L_o$  のインダクタンスを  $0.4 \mu H$  に設定した場合に、先の図 10 と同等の効果をすることができる。そして、この場合もインダクタ  $L_o$  によって、二次側直流出力電圧  $E_o$  に各 MOS-FET のターンオフ時に発生するとされる高周波成分を、図 10 の場合よりも抑制することができる。

#### 【0109】

なお、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

例えば、本発明に基づいた巻線電圧検出方式の同期整流回路の細部の構成については適宜変更されてよい。また、例えば一次側スイッチングコンバータのスイッチング素子とし

ては、IGBT(Insulated Gate Bipolar Transistor)など、他励式に使用可能な素子であれば、MOS-FET以外の素子が採用されて構わない。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更されて構わない。

また、本発明としては、自励式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、スイッチング素子として例えばバイポーラトランジスタを選定することができる。さらには、4石のスイッチング素子をフルブリッジ結合した電流共振形コンバータにも適用できる。

また、商用交流電源を入力して直流入力電圧を得る整流回路としても、例えば倍電圧整流回路以外の構成とすることが考えられる。

さらに、第1、第2の実施の形態では、絶縁コンバータトランスPITの二次巻線を2つに分けて捲装するようにしたが、例えば先の図14に示したようにして二次巻線を1つのみ捲装する構成が採られてもよい。

但し、この際、二次巻線としての巻数が多くなれば、その分そこに生じる直流抵抗値も上昇するものである。従って、上記のように二次巻線を2つに分けて捲装する構成によっては、二次巻線を1つとする場合よりも直流抵抗を軽減でき、これによる電力損失の低減を図ることができる。

#### 【図面の簡単な説明】

##### 【0110】

【図1】本発明の第1の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

【図2】実施の形態としての絶縁コンバータトランスの構造例を示す図である。

【図3】実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造を例示する図である。

【図4】実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造として、他の例を示す図である。

【図5】図1に示す電源回路の重負荷時の動作を示す波形図である。

【図6】図1に示す電源回路の軽負荷時の動作を示す波形図である。

【図7】図1に示す電源回路の負荷変動に対する、スイッチング周波数、一次側直列共振電流レベル、AC→DC電力変換効率の特性を示す図である。

【図8】本発明における第2の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

【図9】図8に示す電源回路の重負荷時の動作を示す波形図である。

【図10】本発明における第3の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

【図11】図8に示す電源回路の重負荷時の動作を示す波形図である。

【図12】第3の実施の形態の変形例の二次側の構成を示す回路図である。

【図13】第3の実施の形態の変形例として、他の二次側の構成を示す回路図である。

【図14】従来としての電源回路の構成を示す回路図である。

【図15】図14に示す電源回路の重負荷時の動作を示す波形図である。

【図16】図14に示す電源回路として巻線電圧検出方式の同期整流回路を備えた場合の二次側の構成を示す回路図である。

【図17】図16に示す二次側の構成を採った場合の、重負荷時の動作を示す波形図である。

【図18】図16に示す二次側の構成を採った場合の、軽負荷時の動作を示す波形図である。

【図19】整流電流検出方式による同期整流回路の基本構成例を示す回路図である。

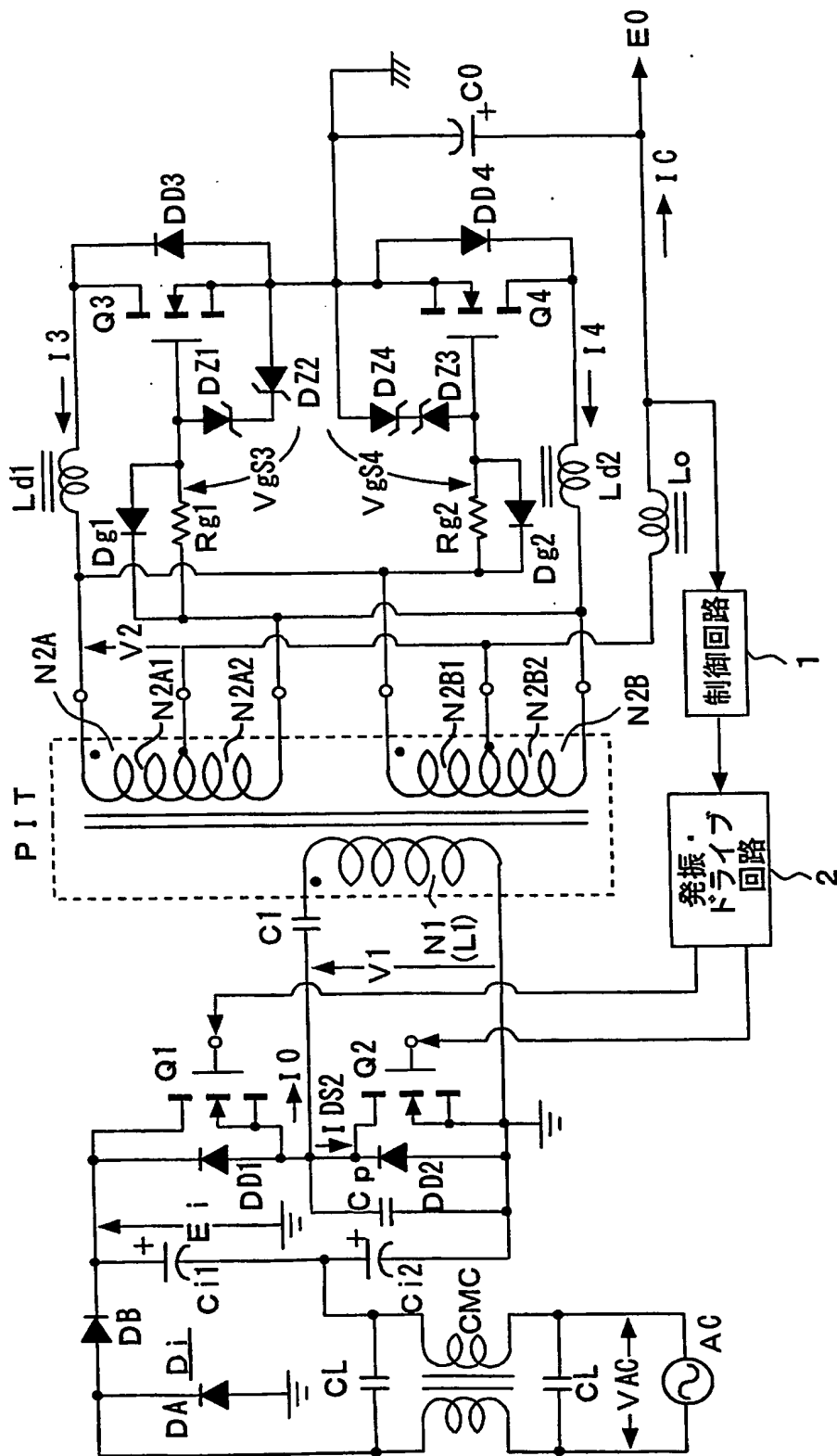
【図20】図19に示す同期整流回路の動作を示す波形図である。

#### 【符号の説明】

##### 【0111】

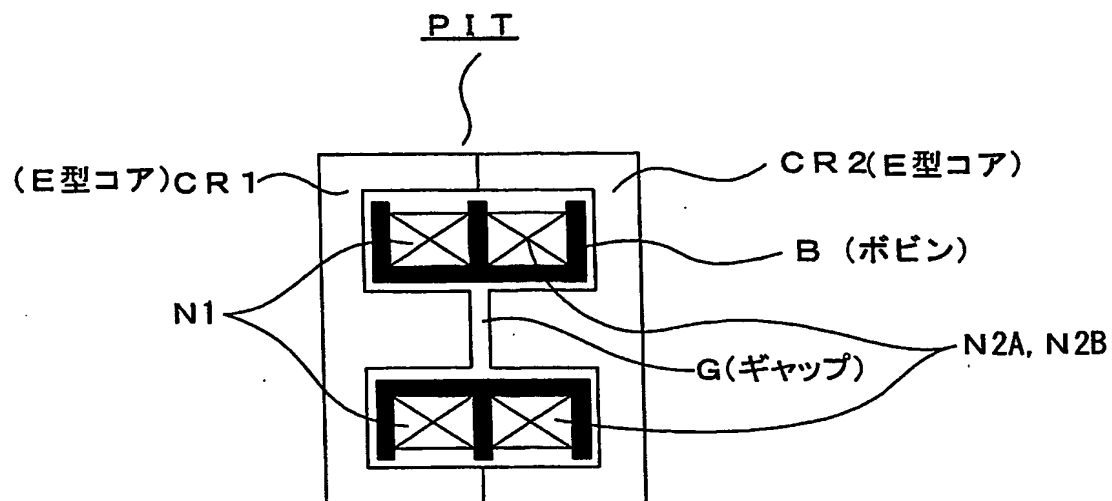
1 制御回路、2 発振・ドライブ回路、D<sub>i</sub> ブリッジ整流回路、C<sub>i</sub> 平滑コンデンサ、Q<sub>1</sub>, Q<sub>2</sub> スイッチング素子、DD<sub>1</sub>, DD<sub>2</sub> ダンパーダイオード、C<sub>1</sub> 一次側直列共振コンデンサ、C<sub>p</sub> 部分電圧共振コンデンサ、P I T 絶縁コンバータトランス、N<sub>1</sub> 一次巻線、N<sub>2A</sub>, N<sub>2B</sub> 二次巻線、N<sub>2A1</sub>, N<sub>2A2</sub>, N<sub>2B1</sub>, N<sub>2B2</sub>, N<sub>3A</sub>, N<sub>3B</sub> 巻線部、Q<sub>3</sub>, Q<sub>4</sub> MOS-FET、DD<sub>3</sub>, DD<sub>4</sub> ボディダイオード、R<sub>g1</sub>, R<sub>g2</sub> ゲート抵抗、D<sub>g1</sub>, D<sub>g2</sub> ショットキーダイオード、C<sub>o</sub> (二次側) 平滑コンデンサ、L<sub>d1</sub>, L<sub>d2</sub>, L<sub>o</sub> インダクタ

【書類名】 図面  
【図 1】

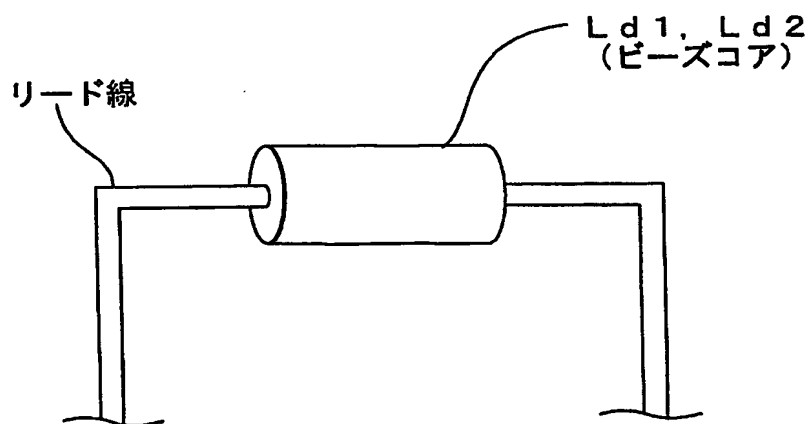


第1の実施の形態

【図2】

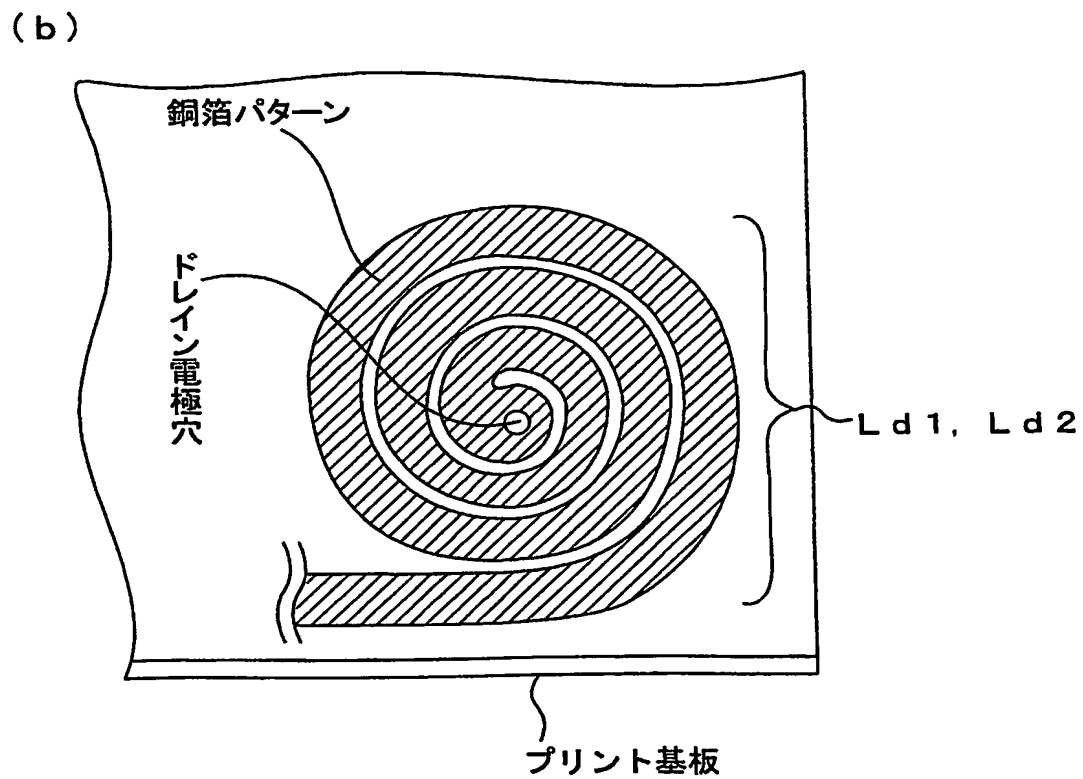
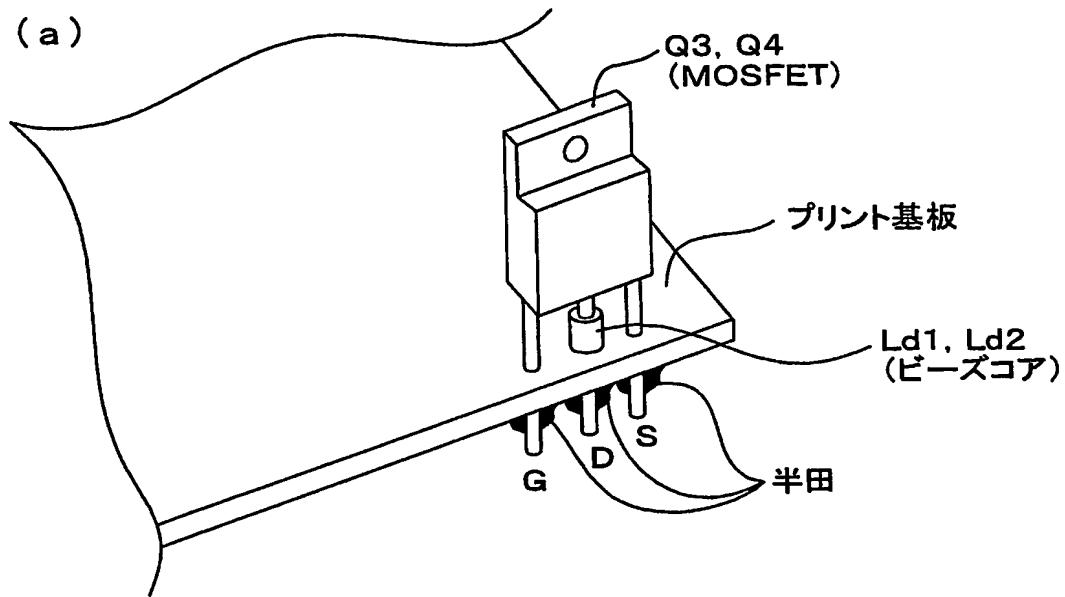


【図3】

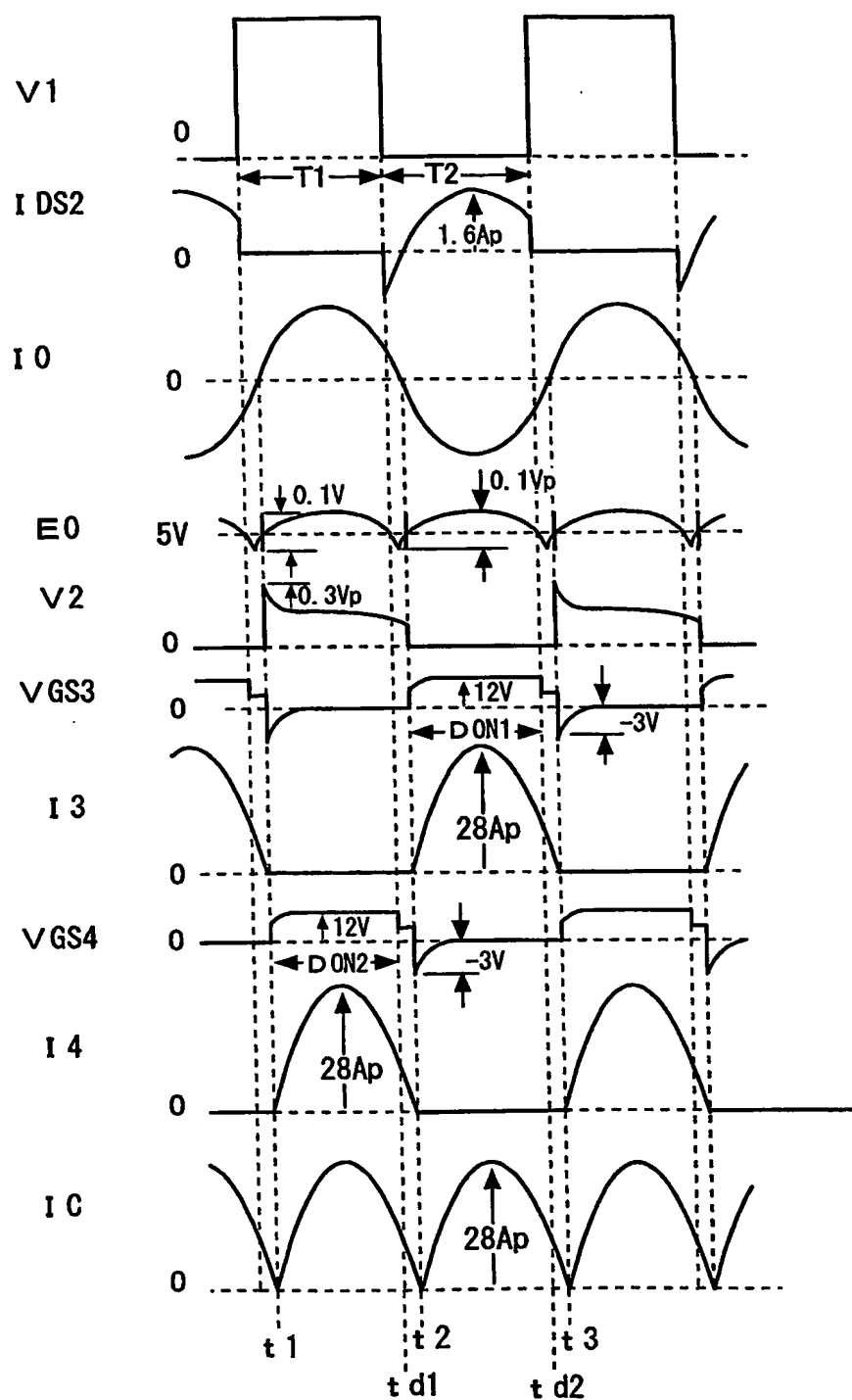




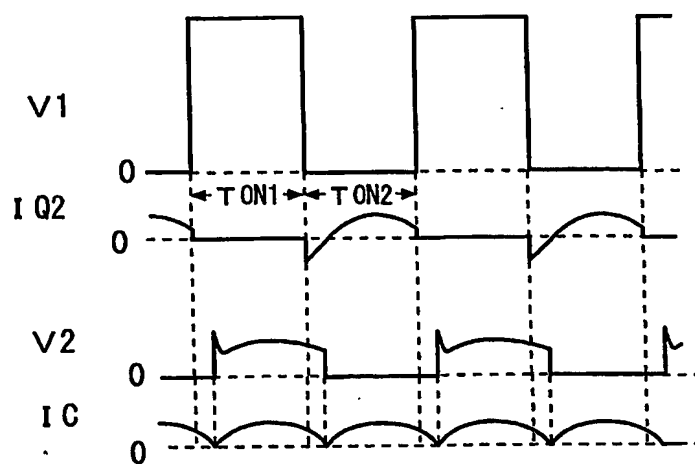
【図 4】



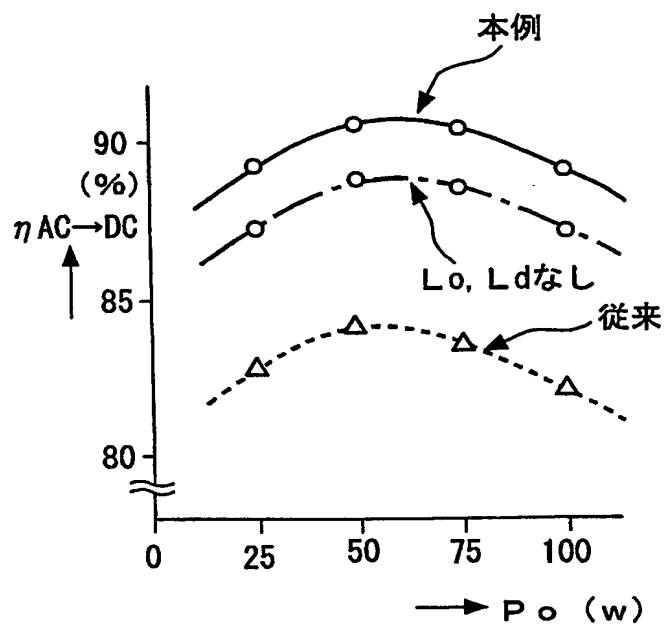
【図 5】



【図 6】

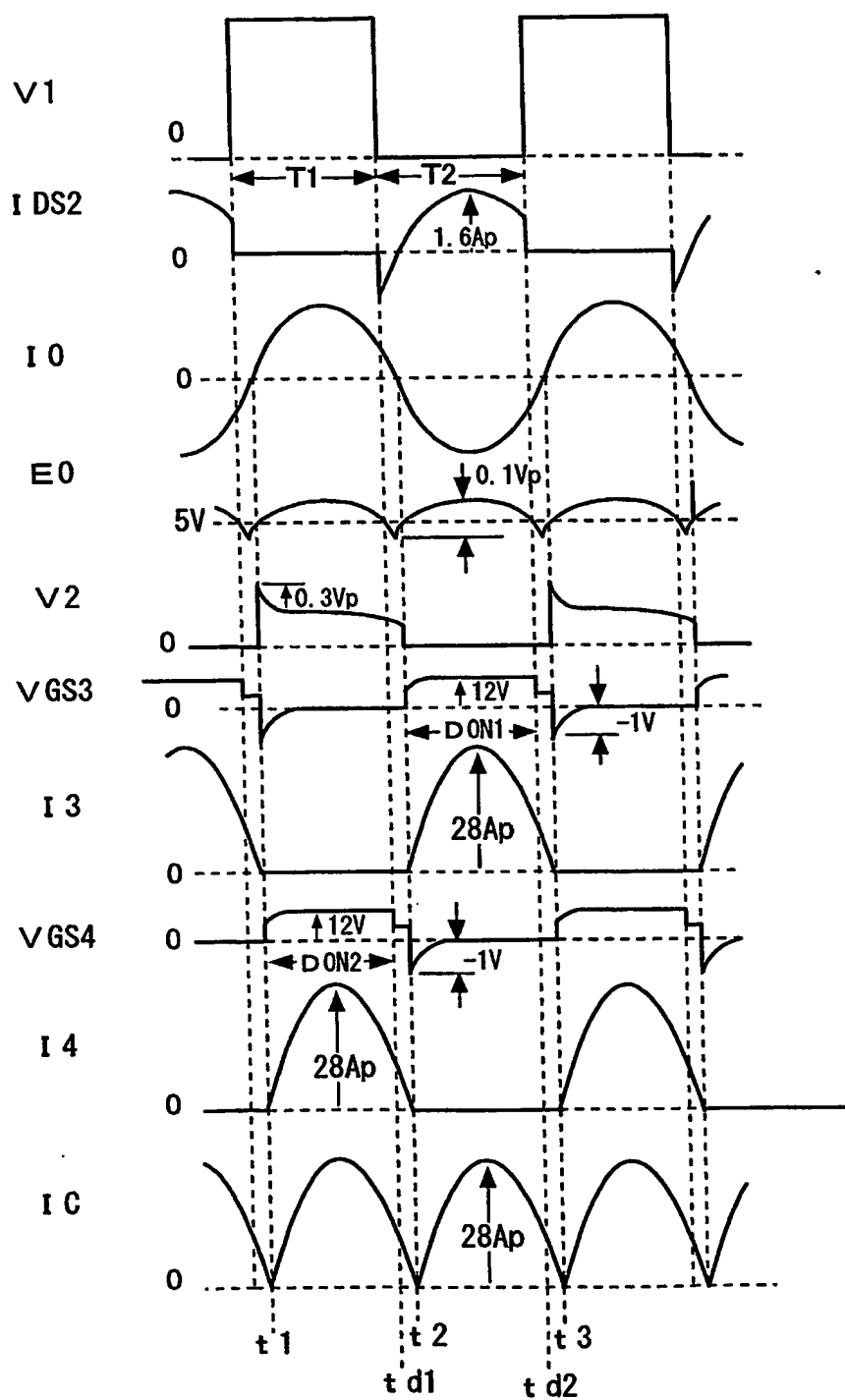


【図 7】

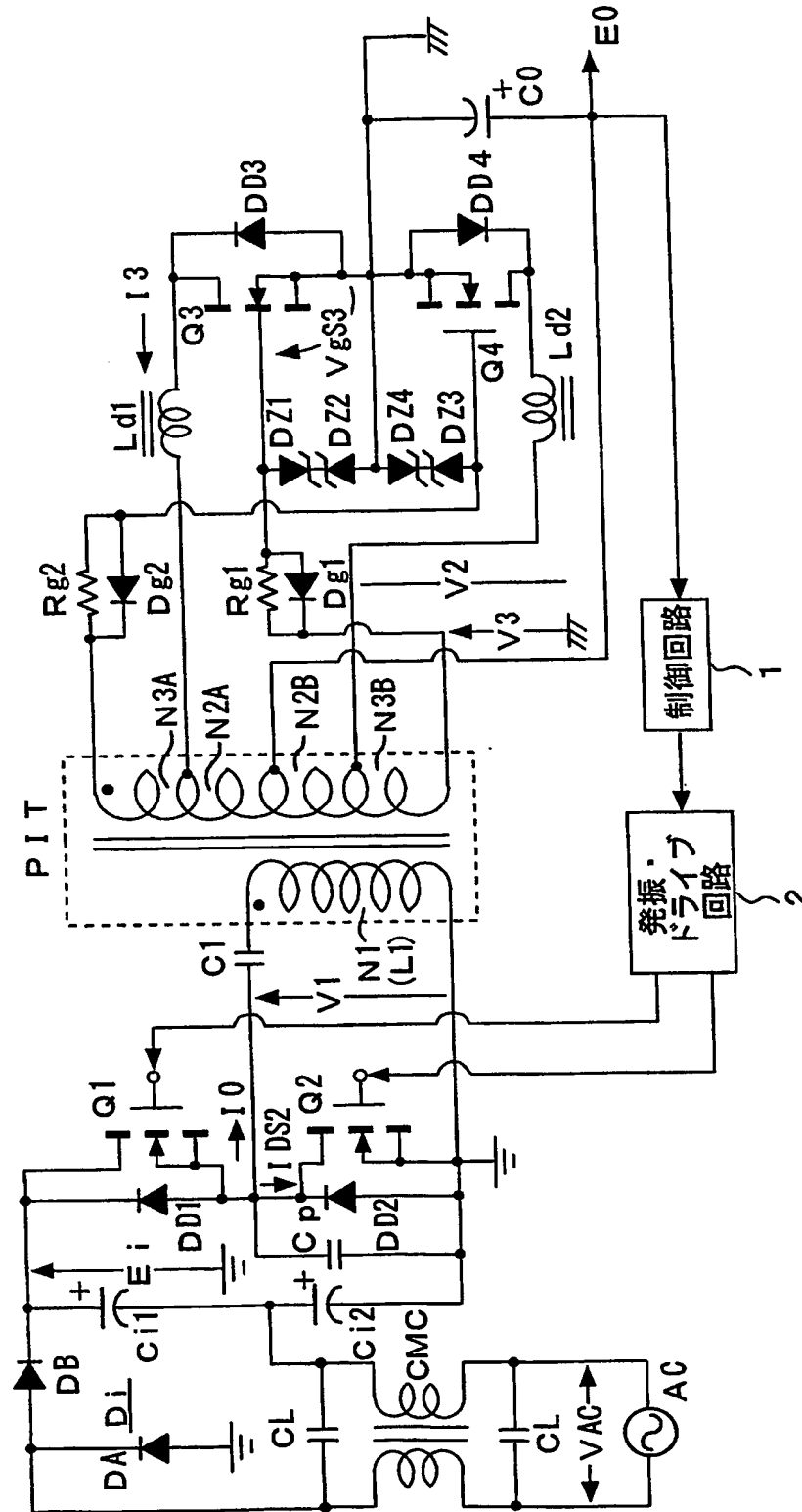




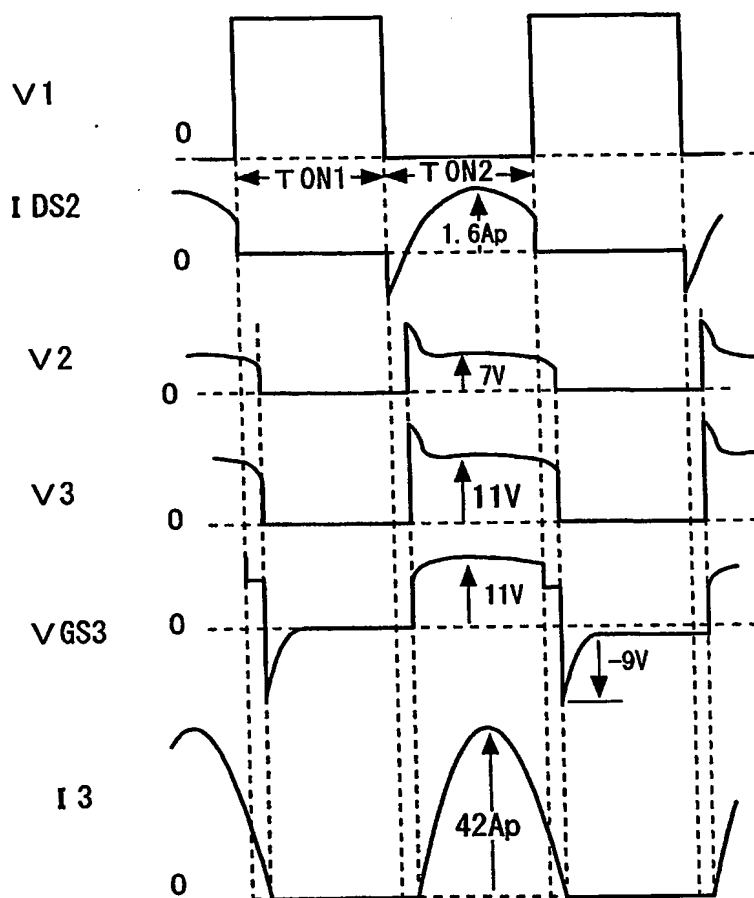
【図 9】



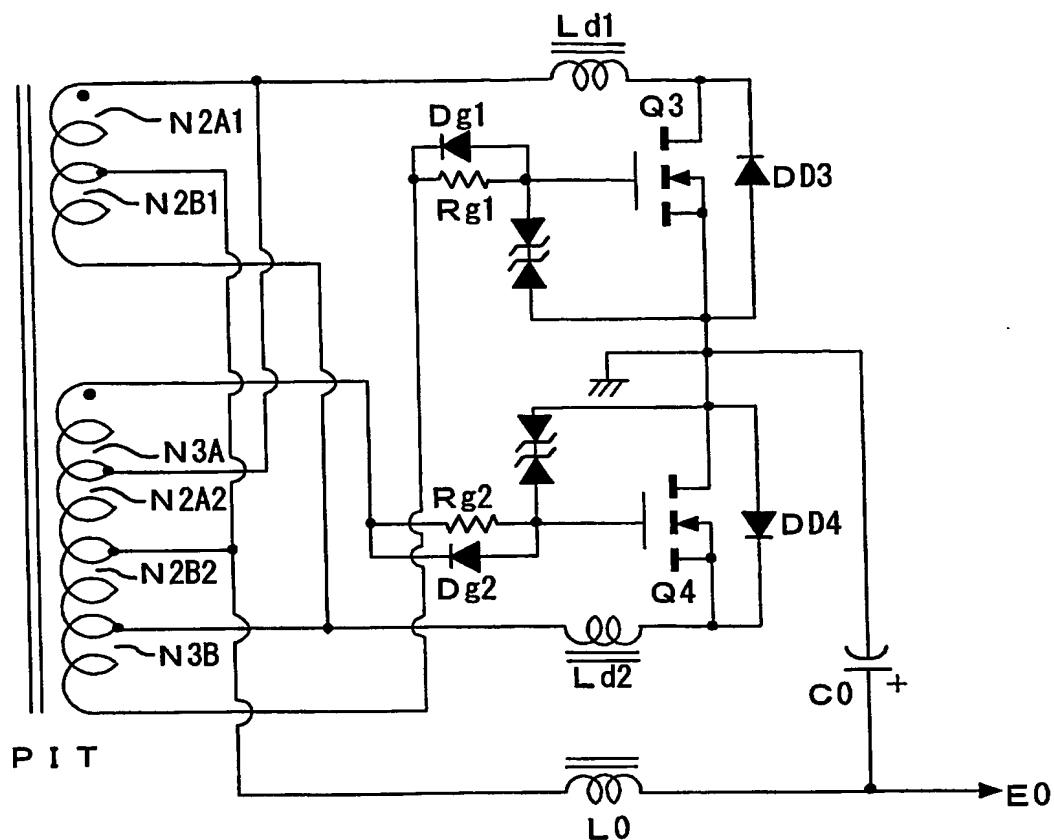
【図10】



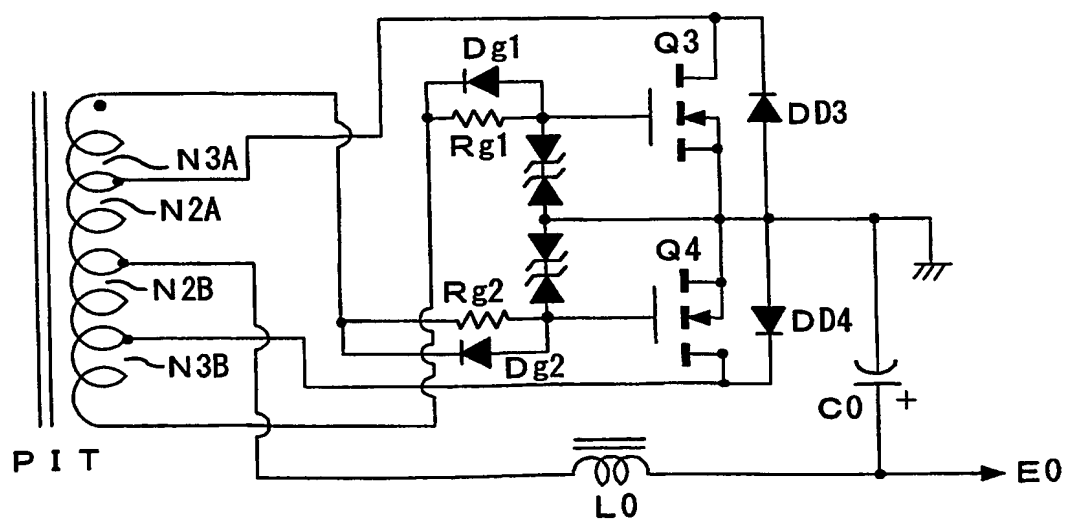
【図 11】



【図12】



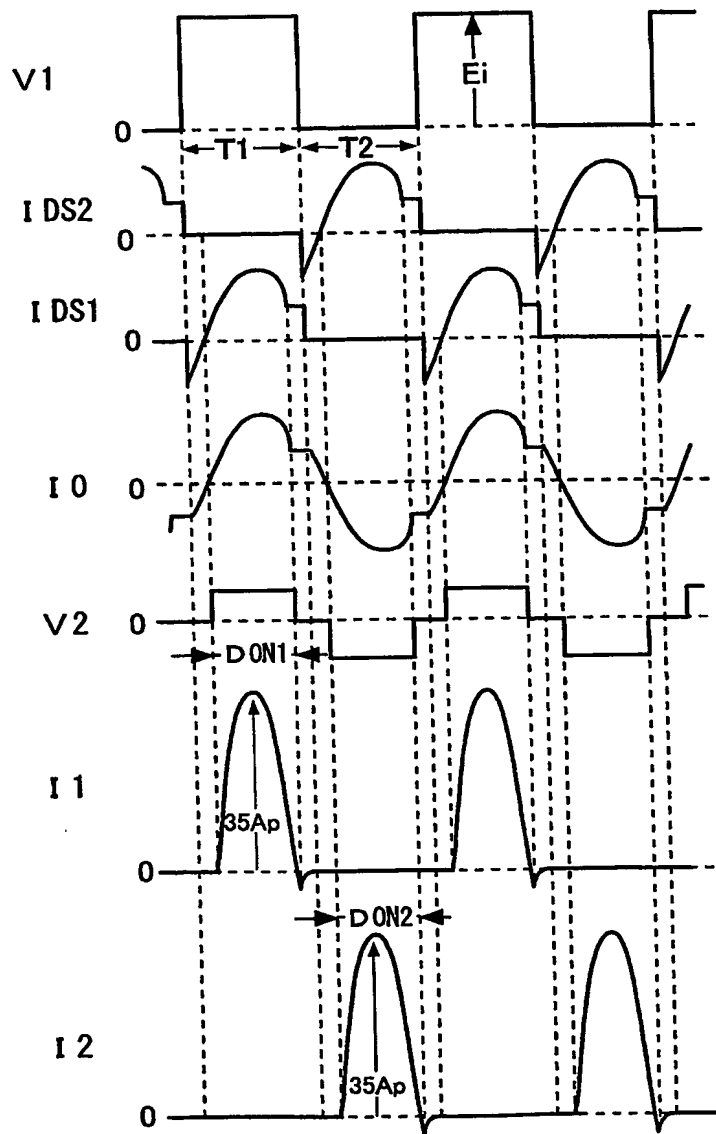
【図13】



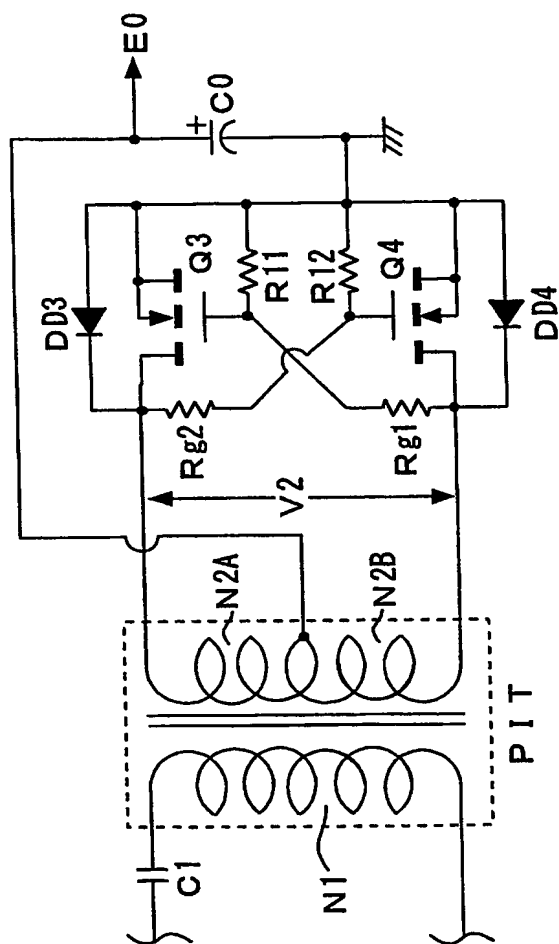




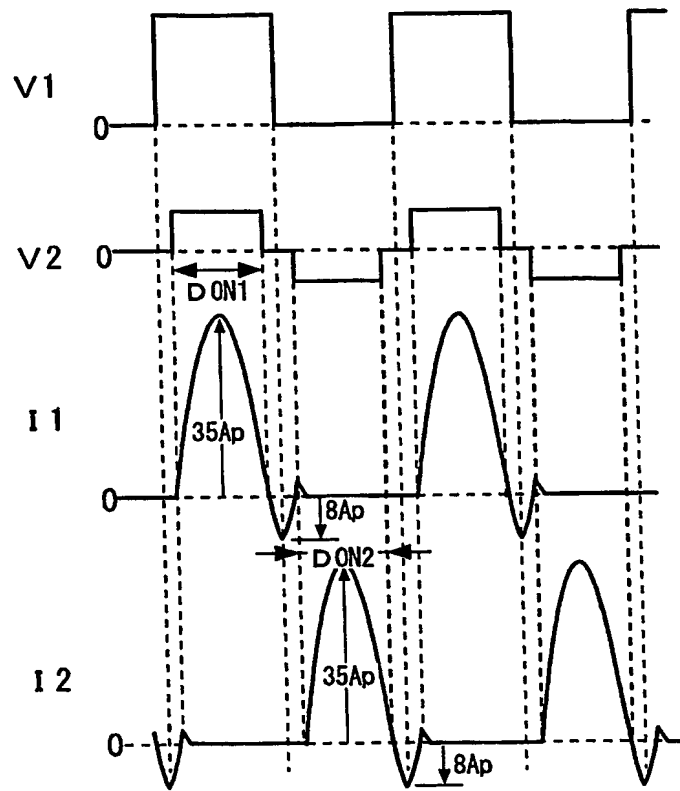
【図15】



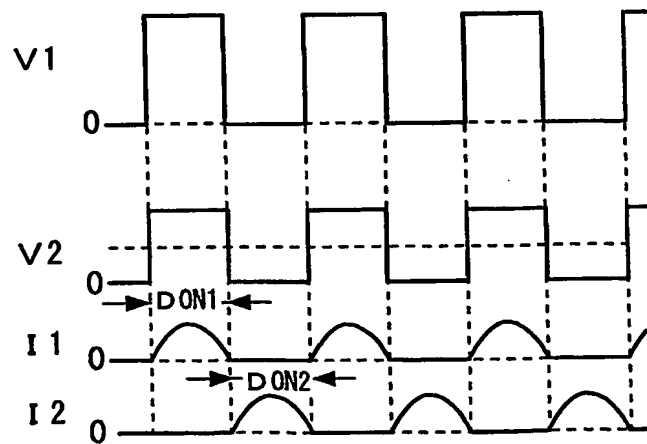
【図 16】



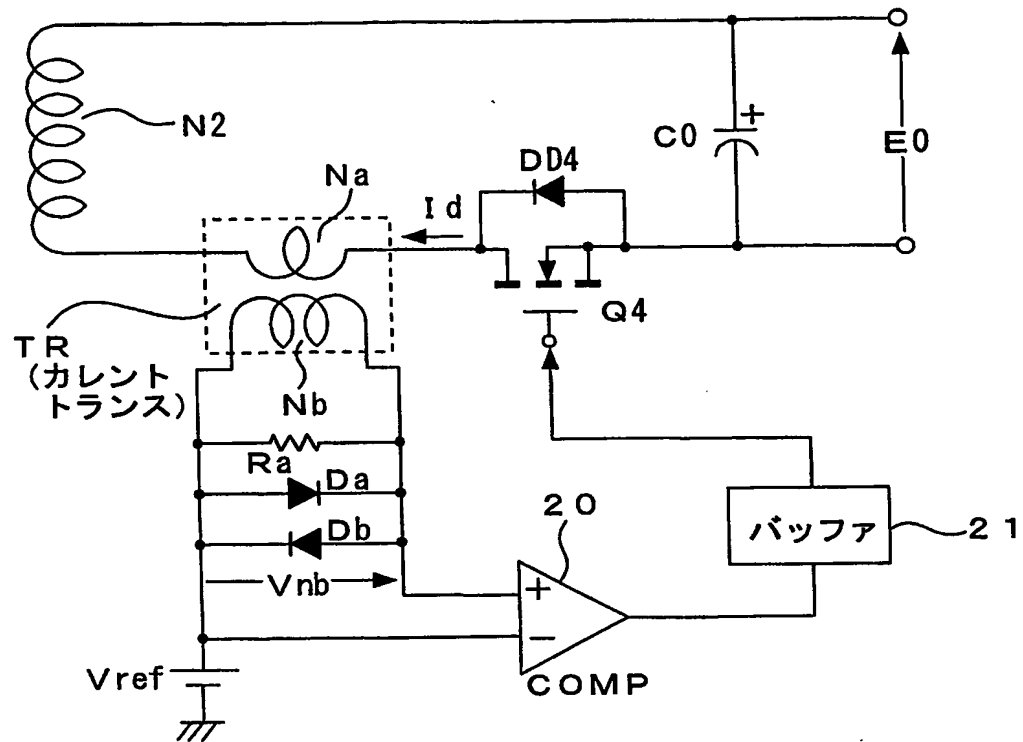
【図 17】



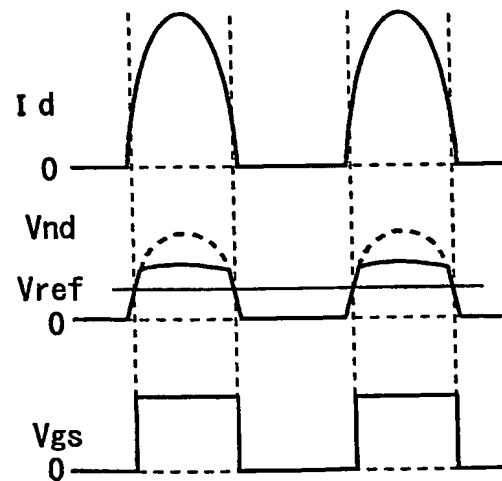
【図 18】



【図 19】



【図 20】



## 【書類名】 要約書

## 【要約】

【課題】 同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立を図る。

【解決手段】 複合共振形コンバータの二次側に巻線電圧検出方式の同期整流回路を備える。そして、絶縁コンバータトランスPITのギャップ長を1.5mm程度として結合係数を0.8程度にまで低下させると共に、二次巻線の1ターン（T）あたりの誘起電圧レベルが2V/Tとなるように一次巻線N1、二次巻線N2A、N2Bのターン数を設定する。これにより、絶縁コンバータトランスPITのコアの磁束密度が一定以下となることで、重負荷の条件でも二次側整流電流を連続モードとすることができる。さらに、この際、二次側の各整流電流経路に対してインダクタ $L_d$ 、 $L_o$ を挿入すれば、これらインダクタの逆起電力により整流電流に生じる逆電流が抑圧され、無効電力のさらなる低減が図られる。また、インダクタ $L_o$ によっては、二次側直流出力電圧 $E_o$ に重畳するとされる高周波ノイズが抑制される。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願 2003-297626
受付番号	50301378624
書類名	特許願
担当官	第三担当上席 0092
作成日	平成15年 8月27日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川6丁目7番35号
【氏名又は名称】	ソニー株式会社

## 【代理人】

申請人

【識別番号】	100086841
【住所又は居所】	東京都中央区新川1丁目27番8号 新川大原ビル6階
【氏名又は名称】	脇 篤夫

## 【代理人】

【識別番号】	100114122
【住所又は居所】	東京都中央区新川1丁目27番8号 新川大原ビル6階 脇特許事務所
【氏名又は名称】	鈴木 伸夫

特願 2003-297626

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**